
Ferdinand-Braun-Institut für Höchstfrequenztechnik
im Forschungsverbund Berlin e.V.

Optimierte Integration für Hochfrequenzsysteme - HF-Design des Multichip-Aufbaus und messtechnische Charakterisierung

Förderkennzeichen: 01 M 2960 C

Laufzeit: 1.12.1995 - 30.11.1999

Schlussbericht

Institutsleiter: Dr. G. Tränkle

Projektleiter: Dr. W. Heinrich

Verfasser: Dipl.-Ing. B. Janke
Dr.-Ing. F.-J. Schmückle
Dipl.-Ing. F. Lenk

FBH

**Ferdinand-Braun-Institut
für Höchstfrequenztechnik**

Inhaltsverzeichnis

1. Einleitung	3
1.1 Motivation und Aufgabenstellung.....	3
1.2 Zusammenarbeit im Rahmen des Projektes	3
1.3 Zum Projektverlauf	3
2. Fachlicher Bericht.....	4
2.1 Entwicklung der Multilayer-Aufbautechnik	4
2.2 Demonstrator: 26 GHz Empfänger	19
3. Abschließende Bewertung.....	31
4. Veröffentlichungen.....	31

1. Einleitung

1.1 Motivation und Aufgabenstellung

Die fortschreitende Miniaturisierung elektronischer Schaltungen ermöglicht den Aufbau hochkomplexer Schaltungen bei immer höheren Frequenzen. Teilweise werden diese auf einem gemeinsamen Chip realisiert. Eine solche "Ein-Chip-Lösung" setzt aber große Stückzahlen voraus, da nur dann die hohen Entwicklungskosten finanziert werden können. Außerdem ist es erforderlich, dass alle notwendigen Komponenten auf einem Halbleitermaterial (üblicherweise: Silizium) hergestellt werden können. Ist dies nicht der Fall, muss eine geeignete Aufbautechnik entwickelt werden, die verschiedene Chips in einem Modul kombiniert und trotzdem eine kostengünstige Realisierung des Systems erlaubt.

Das Projekt "Optimierte Hochfrequenzintegration" zielt auf den Frequenzbereich 20...30 GHz. Hier hat sich, insbesondere durch Kurzstrecken-Richtfunkverbindungen, ein beachtlicher Markt entwickelt. Derartige Systeme erfordern eine kostengünstige Aufbautechnik. Wünschenswert ist, dass GaAs- und Silizium-Chips kombiniert werden können, um die Vorteile der einzelnen Materialien optimal nutzen zu können. Die derzeit gängige Bondtechnik ist zu teuer und zu wenig stückzahltauglich. Eine neuartige Aufbautechnik wird deshalb dringend benötigt. Neben der Flip-Chip-Technik, bei der die Chips mit der Rückseite nach oben mit Hilfe von Bumps auf ein Trägersubstrat gebondet werden, kommt dabei das Einbetten der Chips in ein Trägersubstrat und die Verdrahtung über Dünnschicht-Strukturen ("Multilayer") in Frage.

Aufgabe des vorliegenden Projektes war es, den letztgenannten Ansatz zu verfolgen und seine Eignung für Frequenzen über 20 GHz zu prüfen.

1.2 Zusammenarbeit im Rahmen des Projektes

Das Projekt wurde in Zusammenarbeit mit den Industriepartnern Siemens/Infineon und Bosch Telecom GmbH durchgeführt. Die Modultechnologie wurde von den Unterauftragnehmern FhG-IZM und FhG-ISiT bearbeitet, weiterer Unterauftragnehmer war die TU München. Der Aufgabenbereich des FBH umfasste das Hochfrequenzdesign der Chipverbindungen und des Moduls sowie Entwurf und Realisierung der GaAs-Chips für einen 26 GHz-Empfänger.

1.3 Zum Projektverlauf

Im Verlauf des Projektes geriet die Aufbau- und Verbindungstechnik (FhG IZM) durch unvorhersehbare technische Probleme in einen zeitlichen Rückstand. Grund war der Übergang von der "chip first"- zur "chip last"-Variante. Diese war wegen der bei GaAs-Mikrowellen-ICs erforderlichen Beschränkung der Temperaturzyklen und zur Vermeidung von Verstimmungseffekten im interessierenden Frequenzbereich 20 bis 30 GHz notwendig geworden. Der dadurch bedingte Rückstand gestattete innerhalb der Laufzeit zwar den Funktionsnachweis, es mussten jedoch Abstriche in bezug auf die Realisierung der vollständigen Demonstratoren und der Erarbeitung der Daten über Ausbeute, Zuverlässigkeit und Kosten in Kauf genommen werden.

2. Fachlicher Bericht

Im folgenden wird zunächst die Entwicklung der Aufbautechnik dargestellt, anschließend steht die Realisierung der Chips und des Multichip-Moduls im Vordergrund. Der Bericht schließt mit einer zusammenfassenden Bewertung.

Alle dreidimensionalen elektromagnetischen Simulationen wurden mit Hilfe der FBH-eigenen Finite-Differenzen-Software (Ermittlung der Streuparameter im Frequenzbereich) durchgeführt (kurz FDFD für engl. "Finite Difference in Frequency Domain").

2.1 Entwicklung der Multilayer-Aufbautechnik

2.1.1 Hochfrequenz-Design der Chipverbindungen

Der in diesem Projekt zu untersuchende technologische Ansatz ist das „Einbetten“ der Chips in Verbindung mit einer Polymer-Dünnschicht-Technik. Bei diesem Verfahren werden die Chips so in entsprechend ausgeschnittene Löcher des Trägermaterials eingeklebt, dass ihre oben aufliegenden Leiterbahnen und Anschlusspads in der Regel auf gleicher Höhe mit einer der Leiterbahnlagen auf dem Trägermaterial liegen und durch Metallbrücken verbunden werden können. Bild 2.1 verdeutlicht die entstehende Struktur.

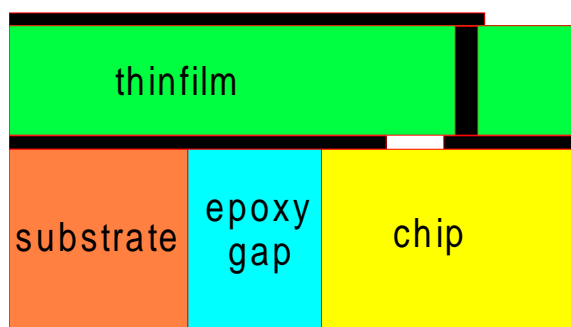


Bild 2.1: "Chip-First"-Technologie: Der eingebettete Chip wird vor dem Dünnschichtprozess eingesetzt.

Für die vorgesehene Dünnschichttechnologie wurden zu Beginn des Projektes zwei Hauptverfahren der Chipeinbettung vorgeschlagen, die jeweils in mehreren Unterverfahren detaillierter eingeteilt werden können. Diese beiden Verfahren werden durch die Begriffe "Chip-Last"- bzw. "Chip-First"-Technologie gekennzeichnet. In der Prozessierung des Trägermaterials unterscheiden sie sich primär durch den Zeitpunkt des Chipeinbettens.

Beim "Chip-First"-Verfahren wird zuerst der Chip eingebettet und anschließend das Trägermaterial in Dünnschichttechnologie prozessiert (Aufbringen von Leiterbahnebenen und Dielektrikumschichten s. Bild 2.1). Beim "Chip-Last"-Verfahren ist es umgekehrt. Zuerst wird der Träger prozessiert, danach der Chip eingesetzt und im letzten Schritt die Verbindungsbrücken realisiert.

Die "Chip-First"-Variante weist allerdings für den betrachteten Frequenzbereich gravierende Nachteile auf. Dies sind zum einen Detuning-Effekte des Chips, also die frequenzmäßige Verstimmung der Schaltung durch die Bedeckung mit Polymerschichten, zum anderen die Temperaturzyklen im Verlauf des Polymer-Prozesses, die mit den Temperaturgrenzen von GaAs-MMICs nicht kompatibel sind.

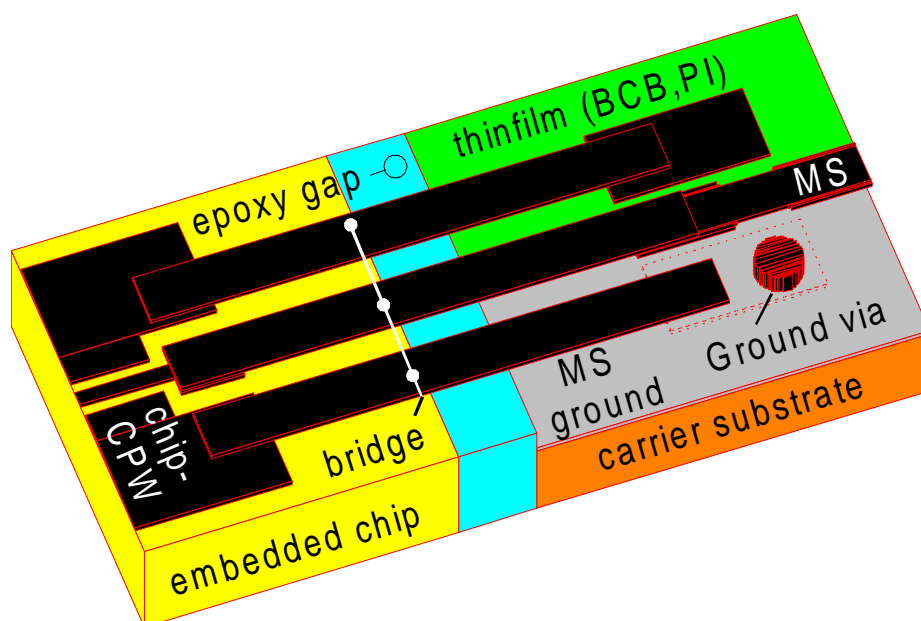


Bild 2.2: Beispiel einer Chipeinbettung mit Verbindungsbrücke in "Chip-Last"-Technologie (FhG-IZM) – erster Entwurf – Typ 1.

Aus diesen Gründen wurde die "Chip-Last"-Version bevorzugt, bei der keine Detuning-Effekte auftreten, die von der Temperaturbeanspruchung her auch GaAs zulässt und deshalb für höhere Frequenzbereiche besser geeignet ist. Die elektrischen Eigenschaften des Chips bleiben in der "Chip-Last"-Technologie weitgehend unverändert. Um den Schaltungszweck zu erfüllen, waren noch die Verbindungsleitungen auf dem Trägermaterial sowie die Brücken zwischen den Anschluss pads von Chip und Trägermaterial zu definieren. Im Folgenden werden zunächst die Verbindungsbrücken zur Verknüpfung der Leitungen auf dem Trägermaterial mit den Leitungen auf dem Chip behandelt.

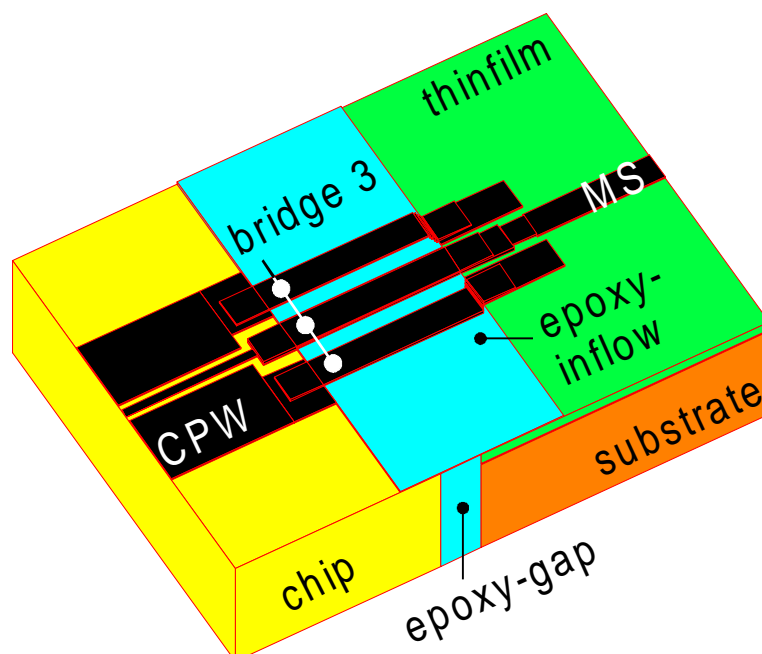


Bild 2.3: Dritter Entwurf einer Verbindungsbrücke in "Chip-Last"-Technologie (IZM) - Typ 3.

Während die Leitungen auf dem Trägersubstrat und auf dem Chip relativ einfach dimensioniert werden können, ist bei den Verbindungsbrücken ein höherer Aufwand nötig, um eine gute Anpassung zwischen den Leitersystemen von Chip und Trägermaterial zu erhalten. Ziel ist eine möglichst geringe Reflexion innerhalb eines vorgegebenen Frequenzbereiches. Der Suchaufwand nach einem passenden Übergang erhöht sich noch durch die Toleranzen, die als Folge der Materialien und Einbettungsverfahren auftreten.

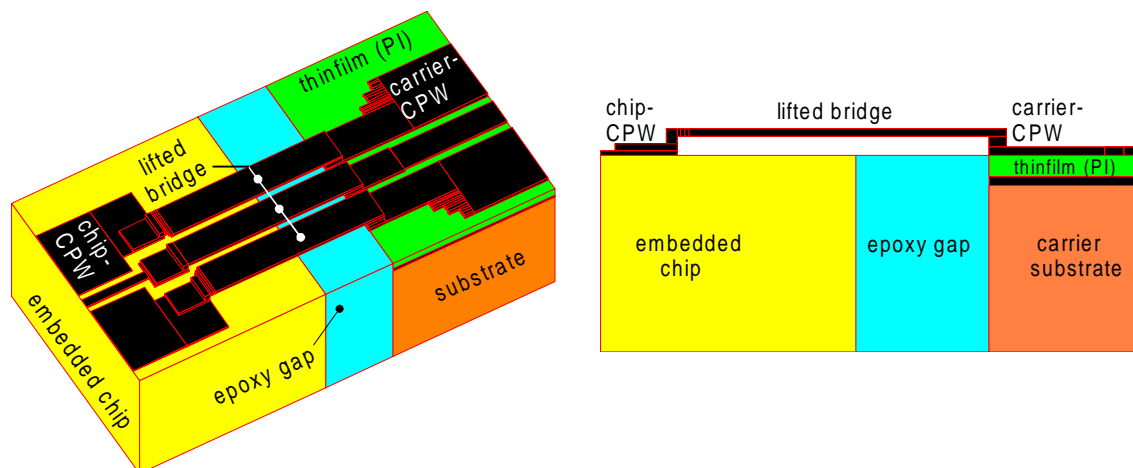


Bild 2.4: Beispiel einer Chipeinbettung mit Verbindungsbrücke in "Chip-Last"-Technologie (ISiT).

Dabei gibt es eine hohe Anzahl von Parametern, die das Verhalten der Verbindungsbrücke mehr oder minder stark beeinflussen. Als Beispiele für besonders signifikante Faktoren seien die geometrischen Dimensionen Leiterabstand, Breite der Klebefuge (epoxy gap), Versatz beim Einbetten und die elektrischen Parameter Dielektrizitätszahl des Dünnschichtmaterials sowie des Klebstoffes genannt.

Im ersten Entwurf für das IZM wurde anhand einer Abschätzung die Brücke (Typ 1) gemäß Bild 2. vorgesehen. Sie hatte gleich breite Brückenleiter, die in einem Abstand von $40\ \mu\text{m}$ liegen. Eine detaillierte Berechnung des elektrischen Verhaltens und eine Optimierung der Struktur konnte aus Zeitgründen für den ersten Waferdurchlauf nicht vorgenommen werden. Es hat sich in den folgenden Berechnungen gezeigt, dass dieser erste Übergang bereits gute Eigenschaften aufwies, aber noch Verbesserungen notwendig waren, um die Spezifikationen vollständig einzuhalten.

Im wesentlichen bleibt zur Optimierung des Übertragungsverhaltens nur die Geometrie der Verbindungsbrücke. Die Abstände der Anschluss pads sind insbesondere bei den Chips meist vorgegeben. Die Breite der Klebefuge kann relativ stark um den vorgesehenen Wert von $100\ \mu\text{m}$ ($\pm 50\%$) schwanken. Die Möglichkeit einer solchen Toleranz war in der Optimierung zu berücksichtigen. Die elektrischen Eigenschaften der verwendeten Materialien liegen, bis auf die Veränderungen der Dünnschichtmaterialien nach dem Ausbacken, ebenfalls fest. Als Freiheitsgrade für die elektrische Anpassung des Übergangs bleiben daher nur die Brücke und evtl. zusätzliche Überdeckungen unter- oder oberhalb der Brücke mit Klebstoff oder Dünnschichtmaterial.

Die Geometrie der Verbindungsbrücken ist aber ebenfalls begrenzt. Um technologisch eine einfache Handhabung zu sichern, kann und sollte der Leiterabstand ein gewisses Maß nicht unterschreiten, die Gesamtbreite eines Überganges wiederum darf je nach verwendetem Chip wegen des Abstandes benachbarter Leitungen ein gewisses Maß nicht überschreiten.

Mit diesen Randbedingungen wurde eine optimierte Variante der Brücke entwickelt (Typ 2 – siehe Bild 2.). Bei ihm ist die Masse der Brücke breiter und der Leiterabstand geringer.

Bild 2. zeigt das elektrische Verhalten der beiden optimierten Übergänge vom Typ 1 und 2 bei Berücksichtigung verschiedener Klebefugenbreiten. Man erkennt, dass die Abweichung des Reflexionsfaktors bei einer Variation der Klebefugenbreite um $50\ \mu\text{m}$ unter $3\ \text{dB}$ liegt. Beide Übergänge erfüllen die Spezifikation ($S_{11} < 20\ \text{dB}$) auch bei dieser Variation der Klebefugenbreite.

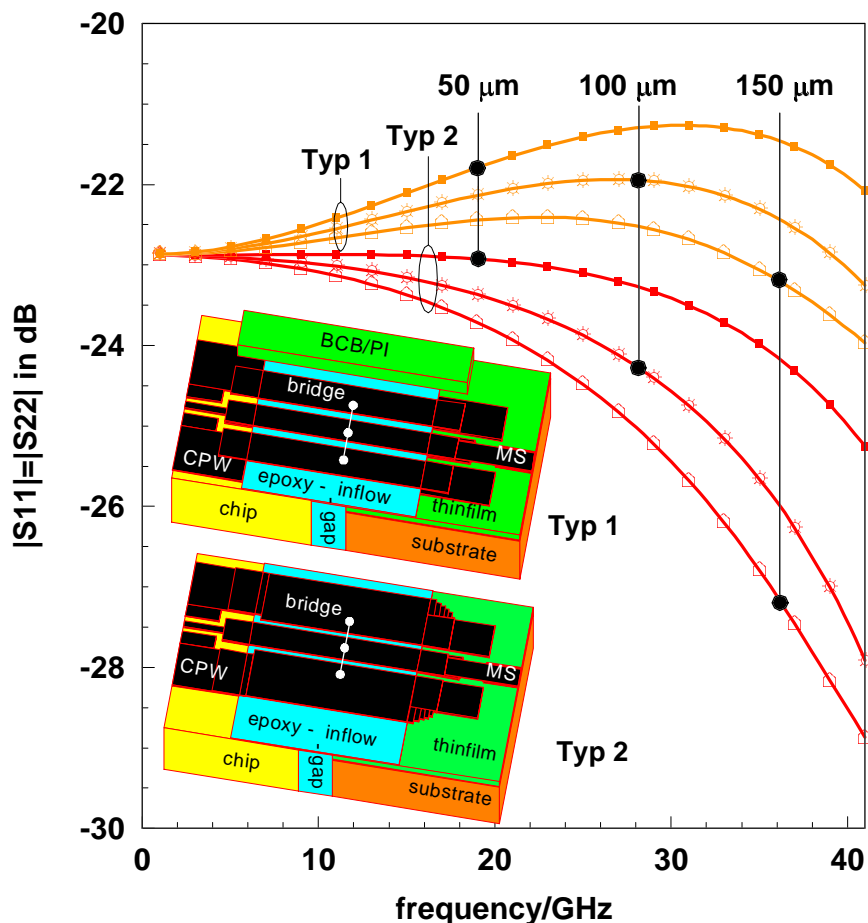


Bild 2.5: Reflexionsfaktor $|S_{11}|$ des "Chip-Last"-Überganges für verschiedene Breiten der Klebefuge und verschiedene Formen der CPW-Brücke über die Klebefuge.

Diese beiden Verbindungsbrücken wurden bezüglich verschiedener Parameter optimiert. Bild 2.6 zeigt einen Ausschnitt aus den Ergebnissen der Optimierung bei der Suche nach dem günstigsten Abstand der Leiterbahnen für Typ 1. Anhand der Kurven für einen Leiterabstand von $28\ \dots\ 40\ \mu\text{m}$ ist erkennbar, dass bei diesem Typ ein Leiterabstand von ca. $33\ \mu\text{m}$ optimal ist, aber auch noch eine Toleranz von $> \pm 5\ \mu\text{m}$ u.U. akzeptabel ist.

Mit den Ergebnissen aus Bild 2.5 und 2.6 wird gezeigt, dass die beiden vorgeschlagenen Brückentypen hinsichtlich der Parameter Leiterabstand g , Breite der Klebefuge l und Dicke des Klebeüberlaufs in einem Optimum liegen und für entsprechende Abweichungen noch genügend Spielraum zur Erfüllung der Spezifikationen vorhanden ist.

Brückentyp 2 ist technologisch besser zu realisieren als Brückentyp 1 wegen des Wegfalls der BCB/PI-Überdeckung. Einzig der relativ geringe Leiterabstand könnte beim Brückentyp 2 Schwierigkeiten bereiten. Aus diesem Grund wurde ein weiterer Brückentyp entwickelt (Typ 3, siehe Bild 2.3), der breitere Leiter als Typ 1 aufweist und damit auch größere Leiter-

abstände ermöglicht, dessen Gesamtbreite mit 300 μm aber deutlich kleiner ist als bei Typ 2 mit 400 μm . Bei den Berechnungen zu diesem Brückentyp wurden weitere technologische Details wie Chipdicke, Lage der Substratmasse, Kleberauffüllung unterhalb des Chips sowie eine Rückseitenmetallisierung mit der in dieser Konstellation auftretenden PPL-Mode (parasitäre Substratmode) berücksichtigt.

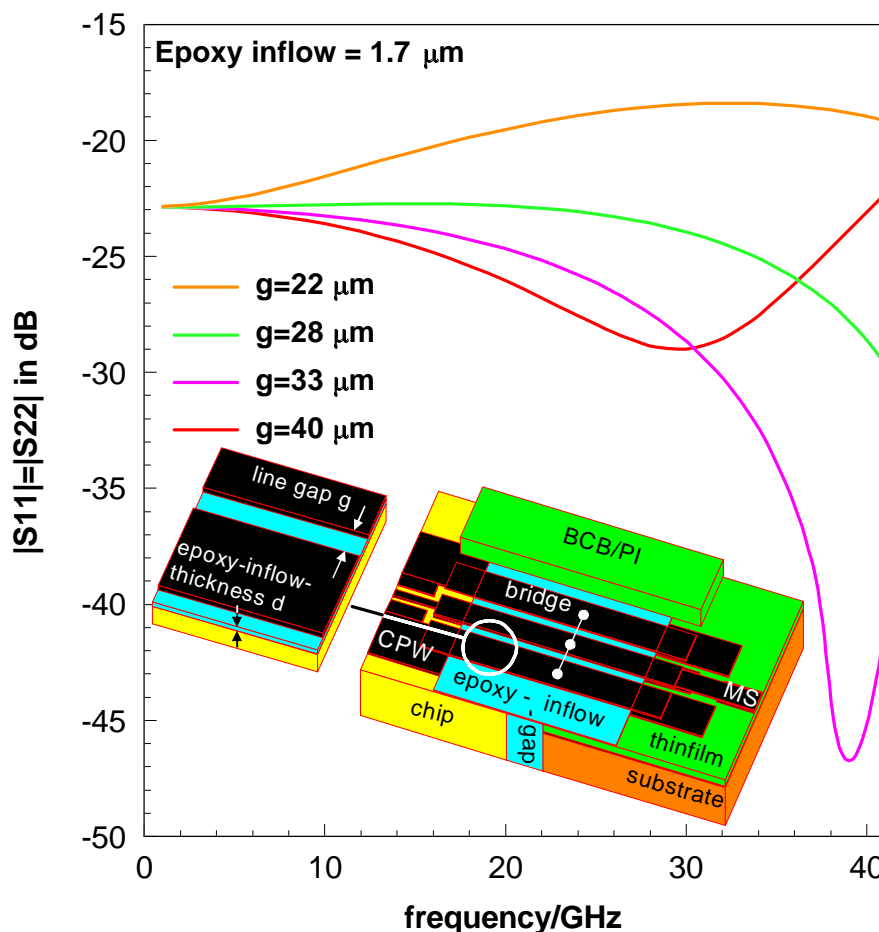


Bild 2.6: Ausschnitt aus den Untersuchungen zur Optimierung des Brückentyps 1.

Das Verhalten des Typs 3 ist im Diagramm in Bild 2.7 dargestellt. Es zeigt sich, dass die Spezifikationen erfüllt sind, auch unter Annahme eines Kleberüberlaufes unterhalb der Brücke bis zu einer Dicke von $d = 10 \mu\text{m}$.

In der technologischen Prozessführung des Multichip-Modulaufbaus sind bei beiden Projektpartnern (FhG-IZM und FhG-ISiT) im Projektzeitraum Änderungen notwendig gewesen. Dadurch bedingt weichen die realisierten Brücken teilweise von den vorgeschlagenen Brücken ab und bedürfen einer Nachsimulation ihres Verhaltens, um sie mit der Messung vergleichen zu können.

Der vom ISiT verwendete Übergang (Bild 2.4) wurde nach einfachen Regeln dimensioniert. Wegen des vorzeitigen Ausscheidens dieses Projektpartners aus dem Vorhaben kam es hier nicht mehr zu einer weiteren Optimierung. Wie aber weiter unten ersichtlich wird, erfüllt auch diese Brücke noch knapp die Spezifikationen.

2.1.2 Teststrukturen mit passiven Chips

Zur messtechnischen Charakterisierung der Übergänge wurde ein passiver GaAs-Chip (Bild 2.8) entworfen und am FBH hergestellt. Er enthält eine durchgehende Leitung (Thru-Line) zur Messung der Reflexionen durch die Übergangsbrücken, verschiedene Stichleitungen mit Kurzschluss und Leerlauf ("Stubs", mit "open" und "short") sowie eine

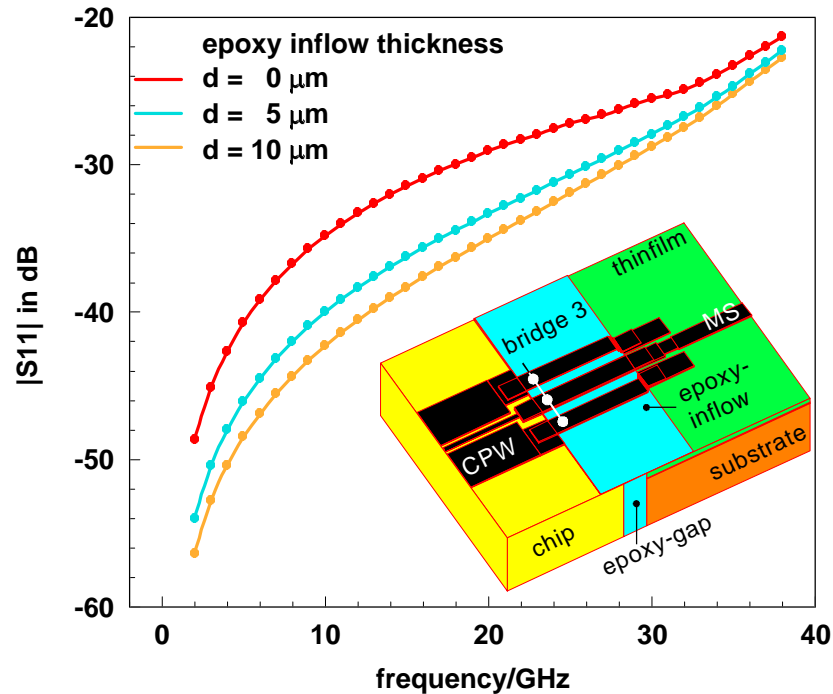


Bild 2.7: Verhalten des Brückentyps 3 bei Variation der Dicke d des Klebeüberlaufs (epoxy inflow thickness).

T-Verzweigung zur Untersuchung von Detuning-Effekten bei Übergängen der zunächst vorgesehenen Technologie "Chip First". Die Schaltungen im Bild 2.8 rechts unten wurden vom IZM zur Verfügung gestellt.

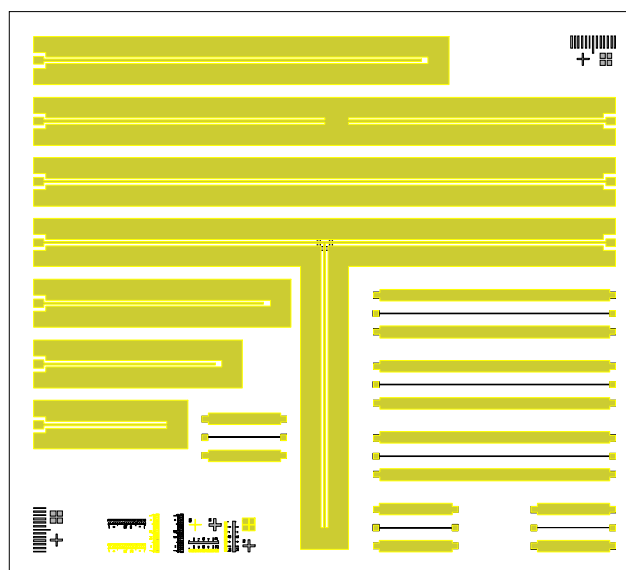


Bild 2.8: Layout des passiven GaAs-Chip

Soweit möglich wurde zuerst die durchgehende Leitung auf diesem Chip vermessen, weil mit ihr die wichtigsten Parameter, das Reflexions- und Transmissionsverhalten der Brücken, bestimmt werden können. Die anderen Schaltungen auf dem Chip dienen dann der Überprüfung der ermittelten Werte und der Charakterisierung weiterer Parameter. Als Beispiel sei hier die durchgehende Leitung mit Mikrostreifenleitungsanschluss auf einem der ersten IZM-Wafer mit dem Brückentyp 1 dargestellt.

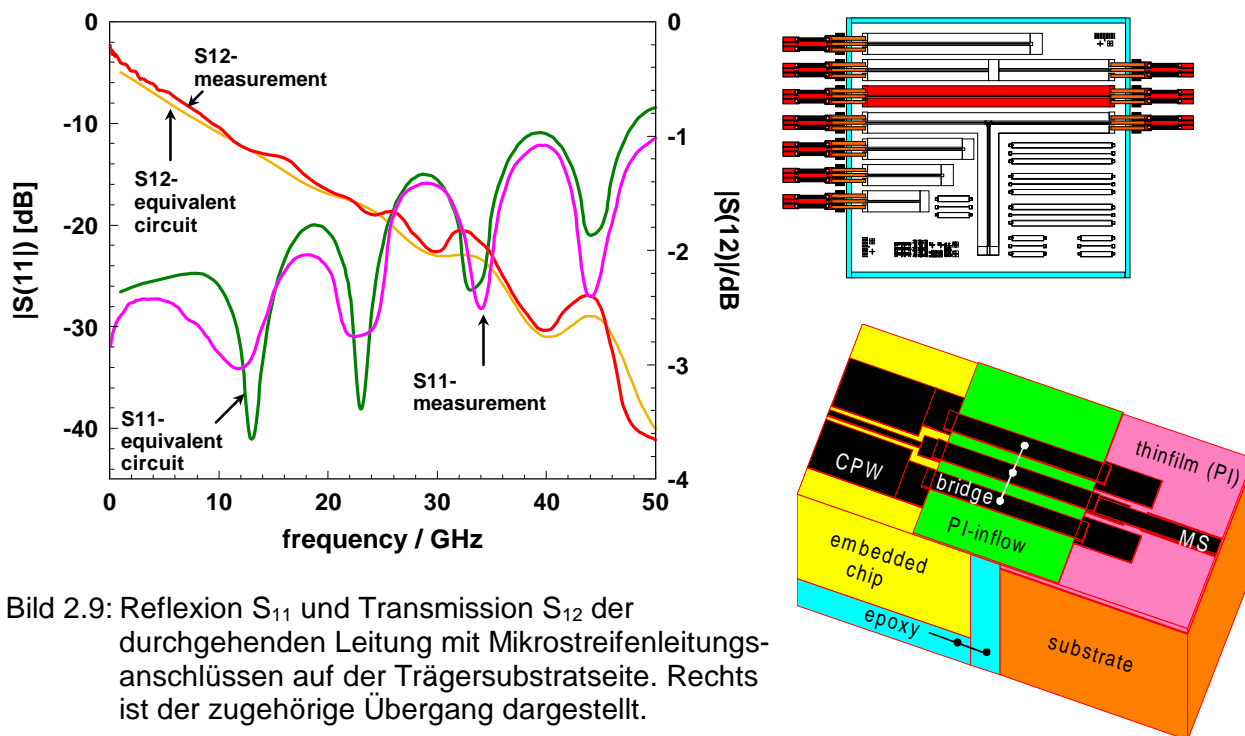


Bild 2.9: Reflexion S_{11} und Transmission S_{12} der durchgehenden Leitung mit Mikrostreifenleitungsanschlüssen auf der Trägersubstratseite. Rechts ist der zugehörige Übergang dargestellt.

Bild 2.9 verdeutlicht die gute Übereinstimmung zwischen Simulation (Ersatzschaltbild) und Messung.

Anhand der feldtheoretischen Berechnung des realen Überganges (in Bild 2.9 rechts dargestellt) wurde für die Brücke 1 das in Bild 2.10 gezeigte Ersatzschaltbild ermittelt. Die Werte für L_1 , L_2 , C_1 und C_2 sind in Tabelle 1 aufgeführt. Außerdem enthält sie die aus Messungen extrahierten Werte. Sie zeigen gute Übereinstimmung in Bezug auf die Summe Induktivitäten und Kapazitäten, aber gewisse Abweichungen bei den

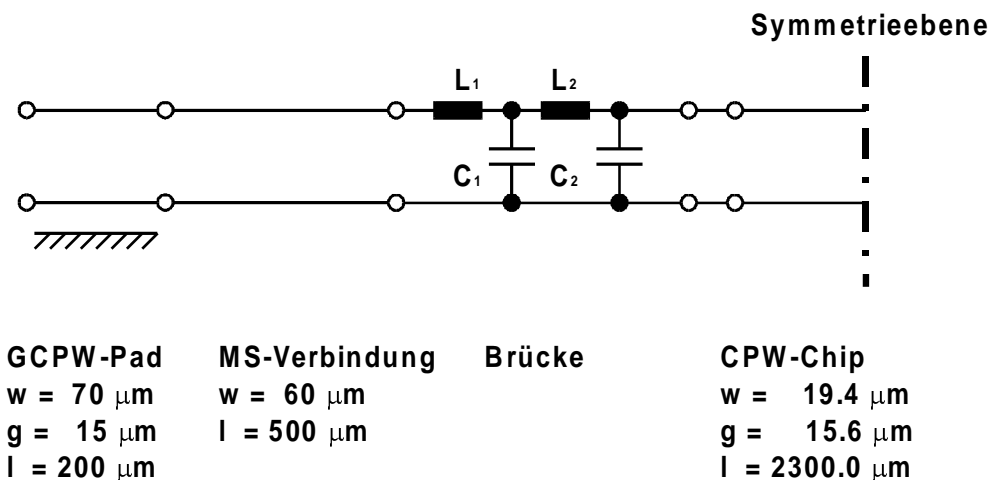


Bild 2.10: Ersatzschaltbild der durchgehenden Leitung mit Mikrostreifenleitungsanschlüssen.

Einzelementen. Letztere haben teilweise nur geringen Einfluss auf das Übertragungsverhalten und streuen deshalb aufgrund der Fertigungstoleranzen und Messfehler. Dies ist jedoch für die praktische Anwendung unkritisch.

Element	Messung Brücke 1	Simulation - FDFD Brücke 1	Messung Brücke 3	Simulation - FDFD Brücke 3
C1 / fF	68	64	79	65
C2 / fF	30	34	32	34
ΣC / fF	98	98	111	99
L1 / pH	80	67	78	44
L2 / pH	200	213	167	189
ΣL / pH	280	280	245	233

Tabelle 1: Werte der Ersatzschaltung

Beim letzten Waferdurchlauf des IZM wurden die optimierten Brücken des Typs 3 (Bild 2.3) eingesetzt. Am Beispiel der T-Verzweigung mit kurzem CPW-Anschluss zeigt Bild 2.11 den Transmissionsfaktor S_{12} aus Messung und Berechnung.

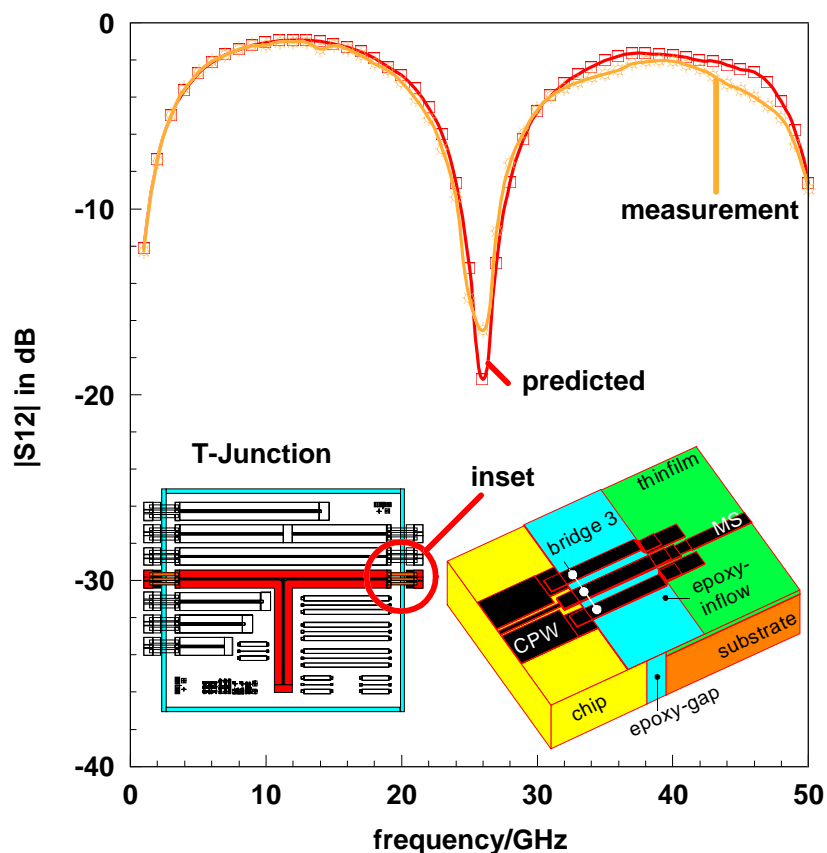


Bild 2.11: Transmissionsfaktor S_{12} der T-Verzweigung mit Koplanarleitungsanschlüssen auf Trägersubstratseite unter Verwendung des optimierten Brückentyps 3.

Die reale Struktur weist gegenüber der berechneten Struktur statt des Klebeüberlaufes "epoxy inflow" einen PI-Rahmen von 10...20 μm Dicke auf. Ferner wurde PI anstatt BCB als

Dünnschichtmaterial ($\epsilon_{r-BCB} = 2.7 \dots 2.9$, $\epsilon_{r-PI} = 3.3$) verwendet. Die Auswirkungen dieser Änderungen sind relativ gering, so dass in Bild 2.12 das aus der Messung extrahierte Verhalten der realen Brücke gut mit der Berechnung des Modells übereinstimmt. Man beachte, dass der Kleberüberlauf "epoxy inflow" ein $\epsilon_r = 5.1$ aufweist, aber dünner angenommen wurde als die PI-Schicht. Beide Unterschiede gleichen einander teilweise aus. Die Elemente der Ersatzschaltung sind ebenfalls in Tabelle 1 eingefügt.

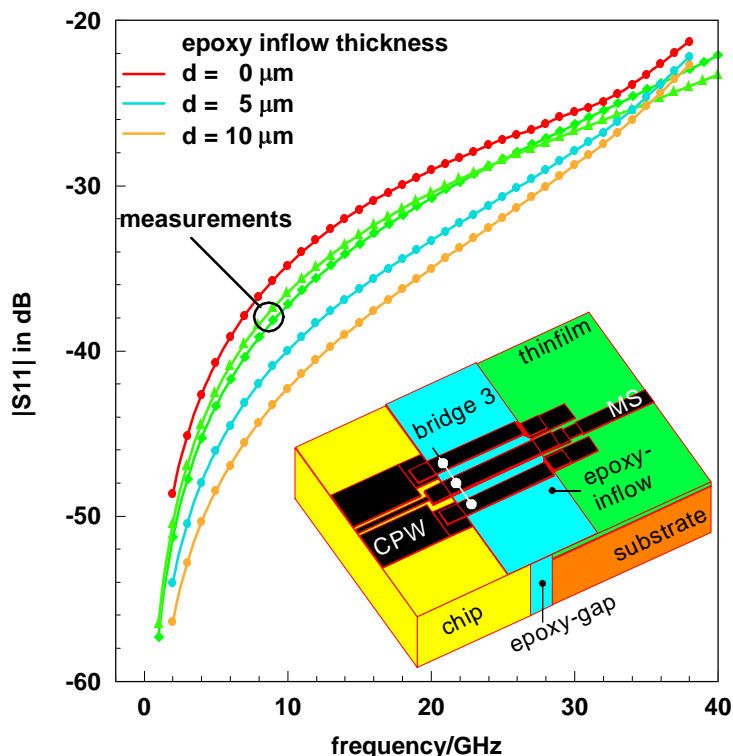


Bild 2.12: Vergleich des Reflexionsfaktors S_{11} des Brückentyps 3 von Rechnung und Extraktion aus Messungen bei Berücksichtigung des Einflusses der Dicke d des Kleberüberlaufs (epoxy inflow thickness).

Insgesamt ist eine gute qualitative und quantitative Übereinstimmung zwischen berechneter und gemessener Struktur des Brückentyps 3 festzustellen. Damit ist gezeigt, dass die notwendige Optimierung, ausgehend vom Brückentyp 1 hin zum Brückentyp 3, erfolgreich durchgeführt werden konnte und das Ziel, eine Brücke mit möglichst geringem Einfluss auf die Eigenschaften der Gesamtschaltung zu dimensionieren, erreicht wurde.

Der vom ISiT verwendete Übergang stellt eine Luftbrücke dar, weil die Leiter im Brückenbereich nicht direkt auf dem Polyimid geführt werden. Der Leiterabstand liegt bei etwa $17 \mu\text{m}$. Auch für diese Brücke wurde eine Vorabschätzung des Übertragungsverhaltens durchgeführt. Die mit dem Finite-Differenzen-Programm (FDFD) durchgeführte Rechnung zeigt bereits ein gutes Verhalten (Bild 2.13). Die reale Brücke liegt bis etwa 35 GHz im Spezifikationsbereich (zum Vergleich: die optimierte Brücke vom Typ 3 für das IZM liegt bis weit über 40 GHz im Spezifikationsbereich).

Die Extraktion der realen Brückenelemente wurde mittels der Messergebnisse der durchgehenden Leitung mit T-Verzweigung durchgeführt. Leider war bei allen zu messenden Exemplaren eine der beiden Brücken der T-Verzweigung kurzgeschlossen. Deshalb wurde das in Bild 2.14 dargestellte Ersatzschaltbild zur Simulation verwendet.

Die aus der Extraktion der Messung gewonnenen Elementwerte der Brücke sind in Tabelle 2 aufgeführt.

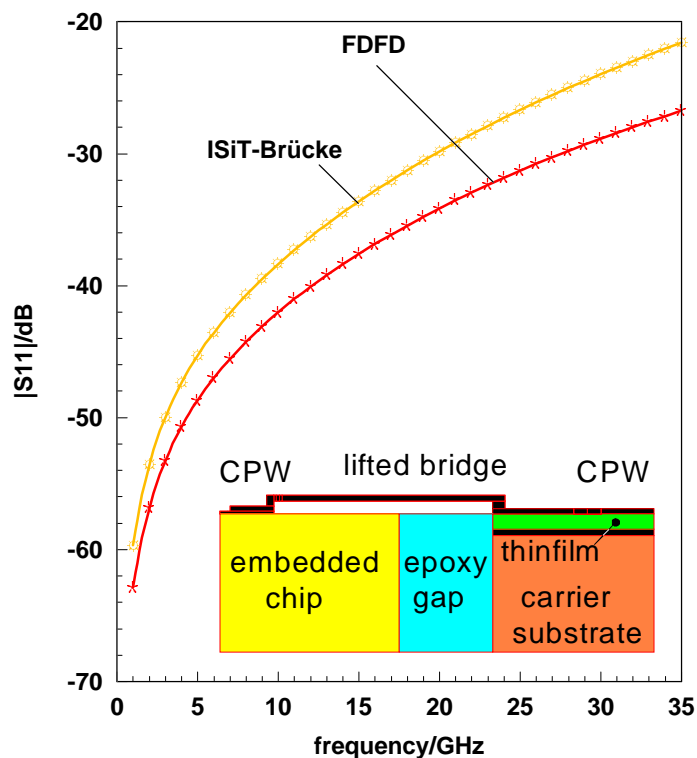


Bild 2.13: Reflexionsfaktor S11 für den ISiT-Prozess mit Luftbrücke im Vergleich zwischen Rechnung mit Finiten Differenzen (FDFD) und der Extraktion aus Messungen.

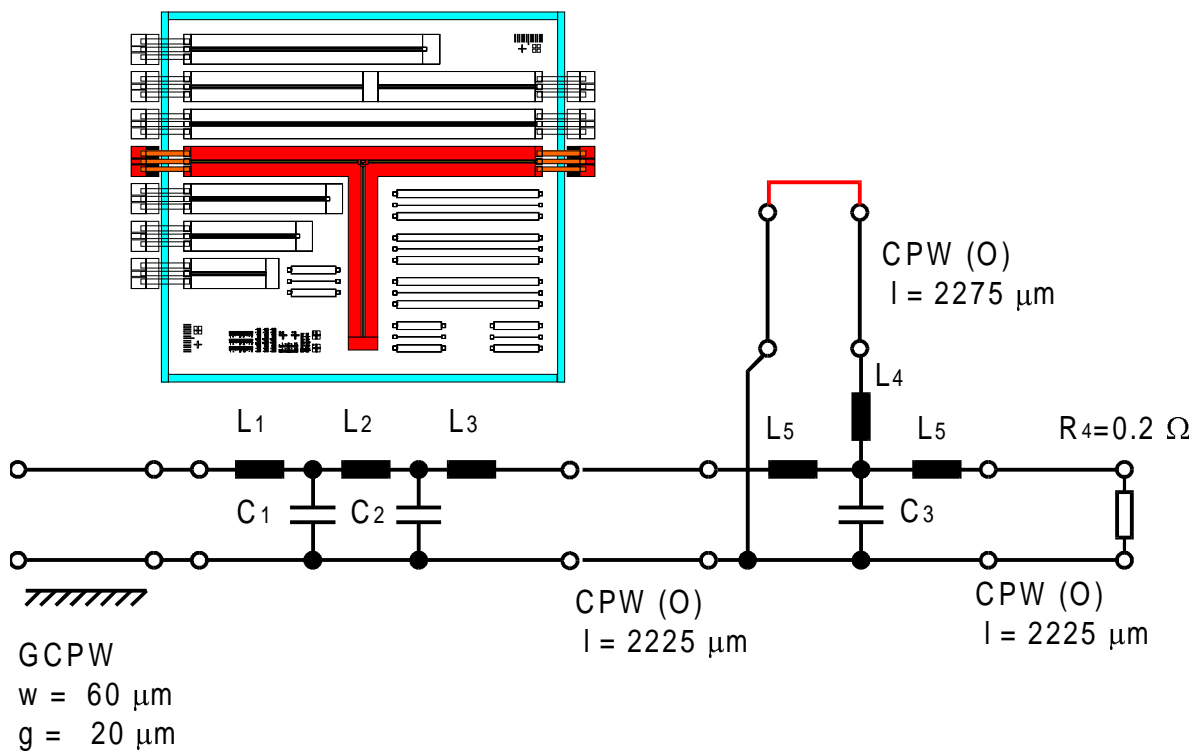


Bild 2.14: Vereinfachtes Ersatzschaltbild der durchgehenden Leitung mit T-Verzweigung und "Fast"-Kurzschluss der rechten Brücke.

Tabelle 2: Elemente der ISiT-Brücke aus der Berechnung mit FDFD und aus der Extraktion der Messung der durchgehenden Leitung mit T-Verzweigung.

Element	FDFD	T-Verzweigung nach dem Ätzen
L_1/pH	33.9	44.2
L_2/pH	145.6	145.6
L_3/pH	45.9	50.3
C_1/fF	50.5	54.3
C_2/fF	44.2	35.1

2.1.3 Passive Elemente auf dem MCM-Substrat

Auf den MCM-Substraten wurden zwei Gruppen passiver Elemente verwendet. Die eine Gruppe umfasst dabei die Leitungen, die als Verbindungsleitungen zwischen den Chips bzw. zu den Modul-Ein- und Ausgängen hin dienen, während die andere Gruppe passive Komponenten wie z. B. Induktivitäten oder Koppler enthält.

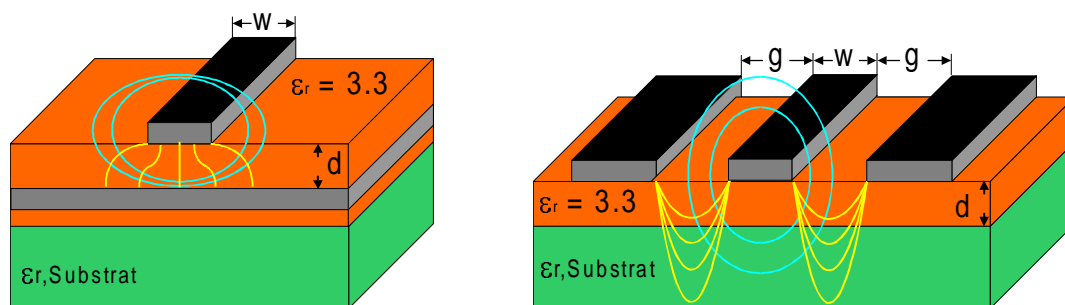


Bild 2.15: Prinzip-Querschnitte: Dünnschicht-Mikrostreifen- (MS) und Koplantarleitung (CPW).

In der ersten Gruppe, den Verbindungsleitungen (Bild 2.15), stehen Koplantarleitungen (engl.: Coplanar Waveguide, kurz: CPW) sowie Mikrostreifenleitungen (kurz: MS) zur Verfügung. Schon kurz nach Projektbeginn hat sich die Mikrostreifenleitung (MS) in ihrer Sonderform als Dünnschicht-MS als die hauptsächlich zu verwendende Leitungsart herauskristallisiert, weil sie aufgrund ihrer Masseleitung das elektromagnetische Feld gegenüber dem Substrat abschirmt. Dies ermöglicht die Verwendung von fast beliebigen, insbesondere kostengünstigen Substratträgern wie niederohmigem Silizium. Die Koplantarleitungen werden nur in Ausnahmefällen verwendet. Beispielsweise werden, wenn 2 Leitungen sich kreuzen müssen, lokal CPW-Abschnitte als Unterführung eingesetzt.

Durch die Unabhängigkeit der Mikrostreifenleitung vom Substrattyp kann auch das Design gleich bleiben, solange sich an der Geometrie und den elektrischen Eigenschaften des Dünnschichtmaterials nichts ändert. Bei der Koplantarleitung ist das nicht der Fall. Ihre elektrischen Eigenschaften ändern sich erheblich beim Wechsel des Substrates, da das elektrische Feld der Koplantarleitung weit in das Substrat eindringt (die Dünnschichtschicht ist nur ca. 20 μm dick). Die Mikrostreifenleitung hat also in diesem Fall erhebliche Vorteile gegenüber der Koplantarleitung.

Im vorliegenden Projekt wurden 50Ω -Leitungen für verschiedene Dünnschichtmaterialien konzipiert, die unterschiedliche elektrische Eigenschaften aufweisen. Das Design erfolgte für eine Dünnschicht mit der Dicke von $25 \mu\text{m}$. Mit Hilfe eines feldtheoretischen Verfahrens (Mode matching) wurde die Breite der Leitungen so bestimmt, dass sich ein Wellenwiderstand von 50Ω ergibt. Dieser Wert wurde in den praktischen Realisierungen in den meisten Fällen nicht erreicht. Die Ursache hierfür ist in verschiedenen Parameterschwankungen zu suchen. So wurde oft die vorgegebene Dicke der Dünnschicht von $25 \mu\text{m}$ nicht erreicht. Bei der MS blieb meist die Dicke um $2 \dots 5 \mu\text{m}$ darunter. Dies konnte anhand des Vergleichs der Messergebnisse mit simulierten Werten für verschiedene Parametervariationen nachgewiesen werden und hat sich nach Anfertigen eines Querschnittschliffbildes bestätigt. Bild 2.16 zeigt ein solches Toleranzdiagramm.

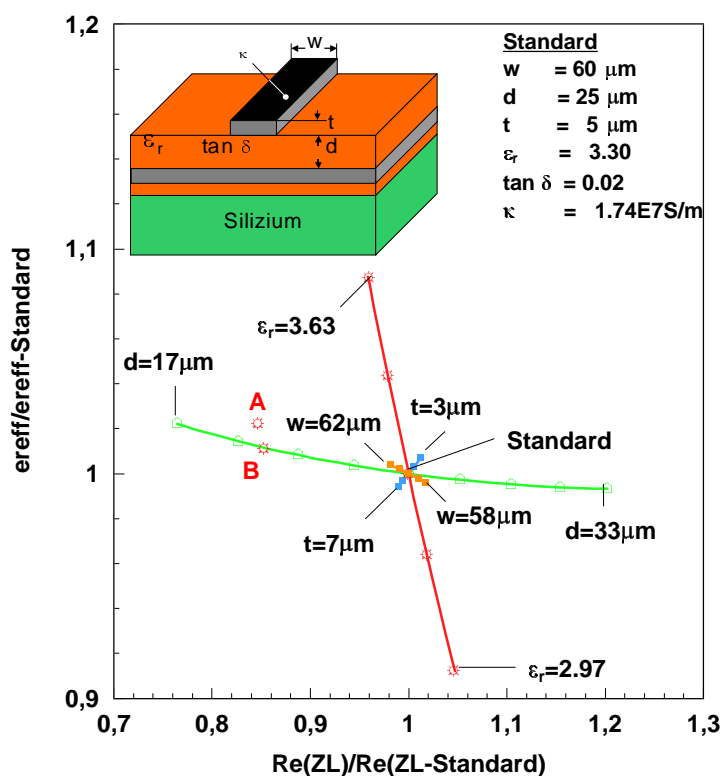


Bild 2.16: Toleranzdiagramm einer Mikrostreifenleitung auf Si-Substrat und PI-Dünnschicht mit zwei Messpunkten A und B.

In diesem Diagramm ist anhand der feldtheoretischen Berechnungen aufgetragen, wie die beiden zentralen Leitungsgrößen Phasenkonstante und Wellenwiderstand sich als Funktion verschiedener Parametervariationen verändern. Trägt man die gemessenen Werte in das Diagramm ein, so lassen sich Rückschlüsse darauf ziehen, welche Parameter im vorliegenden Fall für die Abweichungen verantwortlich sein dürften.

Bild 2.17 veranschaulicht die gleiche Situation für die Koplanarleitung. Die Abweichung in „senkrechter“ Richtung ist hier wahrscheinlich durch eine größere Dicke des Dielektrikums und teilweise auch eine kleinere Dielektrizitätszahl des Polyimids verursacht.

Grundsätzlich sind derartige Abweichungen unkritisch, solange sie reproduzierbar auftreten, da ihre Auswirkungen in diesem Fall leicht durch eine Modifizierung des Designs korrigiert werden können. Dies war aber im Verlauf des Projektes nicht notwendig, da die hergestellten Leitungen trotz der Abweichungen ihre Anforderungen erfüllten.

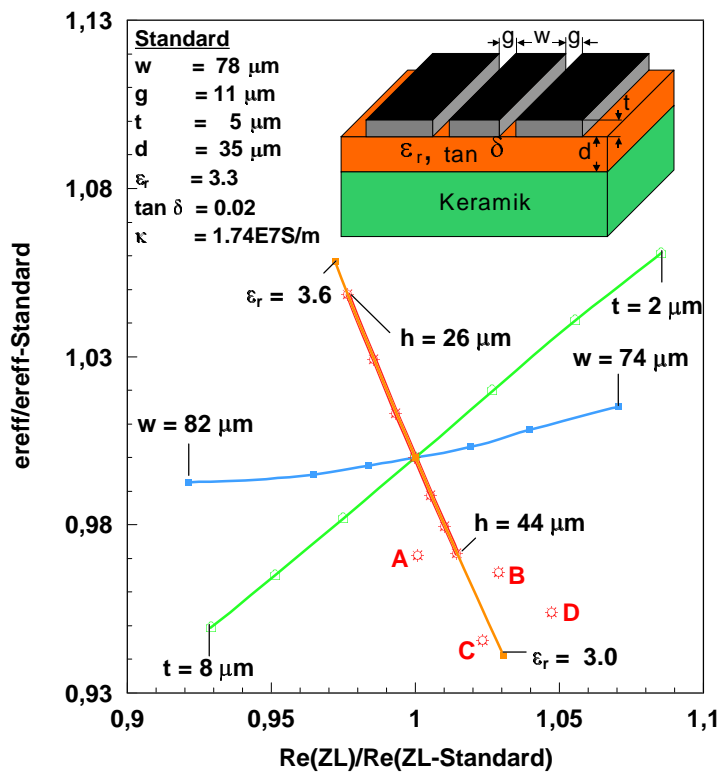


Bild 2.17: Toleranzdiagramm einer Koplanarleitung mit Messungen (Punkte A, B, C und D).

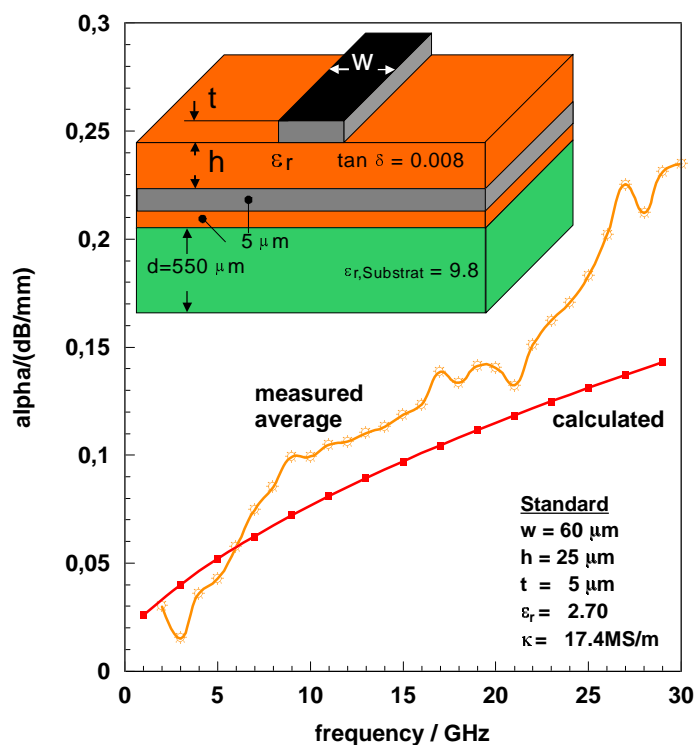


Bild 2.18: Dämpfung einer Mikrostreifenleitung (Simulation und Mittelwert mehrerer Messungen).

Als ein weiteres wesentliches Kriterium für den Einsatz der Leitungen in Modulen ist noch die Dämpfung zu nennen. In Bild 2.18 sind die entsprechenden Werte für die Mikrostreifenleitung aufgetragen. Die Dämpfung ist gering genug, um auch längere Leitungsstücke zwischen eingebetteten Chips ohne nennenswerte Verluste der Signalleistung realisieren zu können.

Es ist häufig vorteilhaft, neben den Leitungen weitere passive Komponenten zu verwenden. Die Mehrlagen-Dünnschichttechnologie bietet hier viele Vorteile gegenüber anderen planaren Schaltungen, die üblicherweise nur in einer Metallisierungsebene gestaltet werden können.

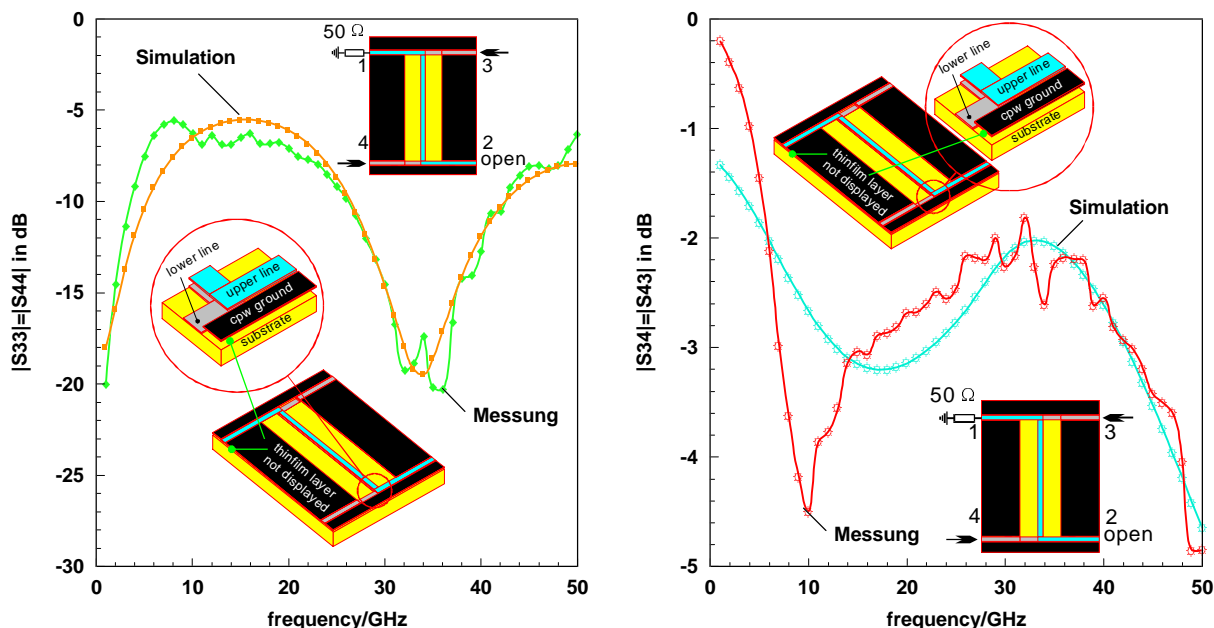


Bild 2.19: Messung eines Richtkopplers in Dünnschichttechnologie mit Leitungen in zwei Metallisierungsebenen

Wegen der geringen Dicke der Dünnschicht und ihrer zwei oder mehr Metallisierungsebenen lassen sich passive Komponenten einsetzen, deren elektromagnetische Felder durch Verkopplung besondere Effekte erzielen.

So wurde eine zweilagige Spiralinduktivität eingesetzt, die bei nur einer Metallisierungsebene zum einen mehr Windungen und damit mehr Platz benötigen würde. Zum anderen sind die Verluste durch die Ausnutzung der Verkopplung geringer, so dass sich eine bessere Güte ergibt.

Darüber hinaus wurden Koppler in zwei Metallisierungslagen entworfen. Durch die Dünnschichttechnologie sind die Metallisierungsebenen nahe beieinander und so können die Effekte der elektromagnetischen Feldverkopplung besser ausgenutzt werden. In Bild 2.19 sind die Messergebnisse eines Richtkopplers dargestellt, der mit übereinander liegenden Leitungen arbeitet. Aus der zugehörigen Simulation wurden die elektrischen Parameter des Kopplers bestimmt. Bezogen auf ein Tor zeigt Bild 2.20 die Übertragungscharakteristik dieses Kopplers zu den anderen Toren. Im Design-Frequenzbereich um 40 GHz liegt die Übertragung zu den interessierenden Toren bei etwa -5 dB, während die Reflexion und die Übertragung zum entkoppelten Tor unter -20 dB bleiben.

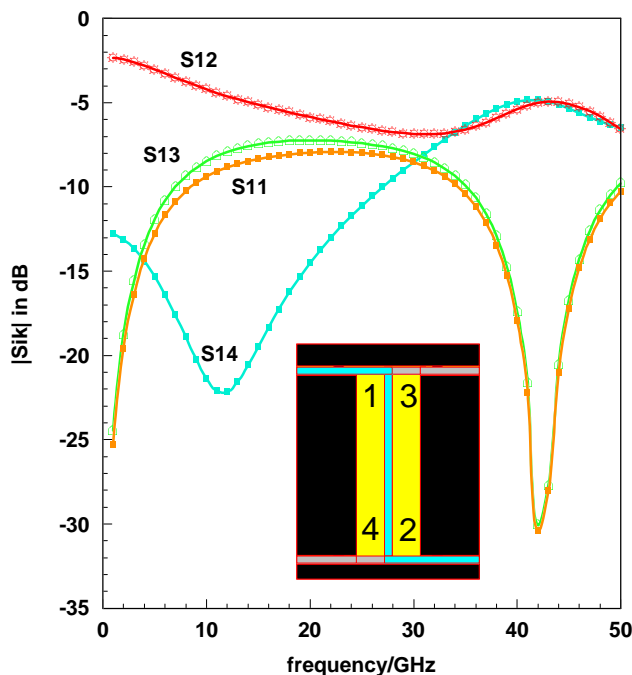


Bild 2.20: Übertragungseigenschaften des Richtkopplers aus Bild 2.19.

Die in diesem Abschnitt dargestellten Ergebnisse lassen sich wie folgt zusammenfassen:

Um einen vom Substrat unabhängigen Leitertyp einsetzen zu können, ist die Dünnschicht-Mikrostreifenleitung (MS) am besten geeignet. Ihre Verluste halten sich in einem vertretbaren Rahmen.

Das Design der Leitungen mit Hilfe feldtheoretischer Analyse gestattet es, die gewünschten elektrischen Parameter festzulegen. Mit den darüber hinaus berechneten Toleranzdiagrammen lassen sich sehr gut die Ursachen der Abweichungen der realen Strukturen vom Design anhand der Messungen feststellen.

Die Mehrlagen-Dünnschichttechnik ermöglicht die Realisierung zahlreicher passiver Komponenten. Unter anderem bietet sie die Möglichkeit, benachbarte Metallisierungsebenen nahe beieinander zu platzieren, so dass eine starke elektromagnetische Verkopplung entsteht. Das führt dazu, dass viele passive Schaltungen einfacher und raumsparender gestaltet werden können als in üblichen Einlagentechnologien.

2.2 Demonstrator: 26 GHz Empfänger

Zur Demonstration der Multichipmodul-Technik wurde ein Empfänger bei 26 GHz gewählt, wie er z.B. für Kurzstreckenrichtfunkssysteme benötigt wird. Bild 2.21 zeigt das Blockschaltbild. Der Empfänger kombiniert GaAs-MMICs im Front-End mit Silizium-ICs für den Teiler und die weiteren Funktionen. Die GaAs-MMICs wurden am FBH entworfen und realisiert, die Si-ICs bei Infineon/Siemens. Im folgenden Abschnitt 3.1 werden die GaAs-MMICs beschrieben, während der Abschnitt 3.2 anschließend Layout und Charakterisierung der Multichip-Module behandelt.

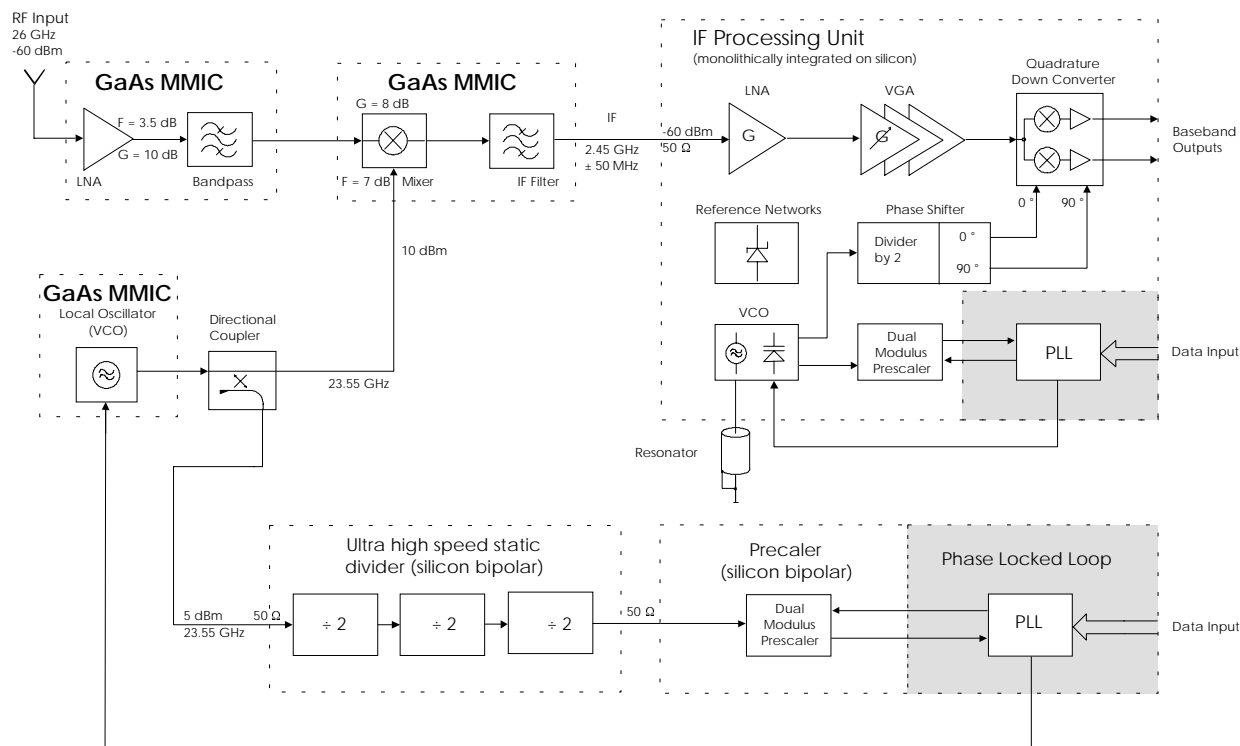


Bild 2.21: Blockschaltbild des 26 GHz-Empfängers.

2.2.1 GaAs-MMICs für das Front-End

Das Front-End umfasst die folgenden Schaltungen:

- Vorverstärker
- Mischer
- Spannungsgesteuerter Oszillator (VCO)
- Leistungsteiler

Die Schaltungen wurden in GaAs-MESFET-Technologie mit $0.5\mu\text{m}$ Gate-Länge realisiert, dem MMIC-Standard-Prozess am FBH. Insgesamt wurden 3 verschiedene Maskensätze erstellt.

Im Verlauf des Projektes wurden an diesem Prozess Umstellungen vorgenommen, um Ausbeute und Reproduzierbarkeit zu erhöhen. Sie betrafen die folgenden Prozesseigenschaften:

- Übergang von 2"- auf 3"-Wafer.
- Die ursprünglich verwendete Kontaktlithografie wurde auf Projektionslithografie mittels i-line-Stepper umgestellt.
- Der Gate-Recess wurde von nasschemischer Ätzung auf trockenchemische Ätzung (mit Ätzstoppschicht) verändert. Dieses Verfahren gewährleistet sowohl eine bessere Reproduzierbarkeit (von Wafer zu Wafer) als auch eine größere Homogenität der Transistorparameter über dem Wafer.
- Die Isolation der Bauelemente erfolgt jetzt nicht mehr durch MESA-Ätzung, sondern durch Ionenimplantation mit Sauerstoff-Ionen. Dies hat den Vorteil, dass die dann komplett planare Oberfläche anschließend besser weiterverarbeitet werden kann.

Wegen dieser Technologiearbeiten wurden im zweiten Halbjahr 1998 keine Prozessdurchläufe durchgeführt. Ansonsten wurden während der gesamten Projektlaufzeit Schaltungen gefertigt.

2.2.1.1 Vorverstärker

Die Systemanforderungen an den Vorverstärker lassen sich wie folgt zusammenfassen:

- Rauschzahl $F \approx 3.5$ dB an 50Ω - Eingang bei 26 GHz
- Verstärkung $G > 10$ dB bei 26 GHz
- absolute Stabilität im gesamten Frequenzbereich

Der 26 GHz Verstärker wurde nicht nur im Hinblick auf den eigentlichen Demonstrator entworfen, sondern diente (neben dem schon beschriebenen passiven Chip) aus den folgenden Gründen auch als Schaltkreis zur Qualifizierung der Aufbautechnologie:

- Beim Verstärker sind alle Elemente des üblichen GaAs-MMICs (Koppel- und Abblock-Kapazitäten, Transistoren, Leitungen und Spiralinduktivitäten) vorhanden.
- Eine Detuning der Schaltung durch das Einbetten lässt sich mit einer einfachen S-Parameter Messung feststellen.

Deshalb wurden verschiedene zwei- und dreistufige Verstärker entworfen, prozessiert, vermessen und in größerem Umfang an die Projektpartner IZM und ISIT zum Aufbau von Modulen geliefert.

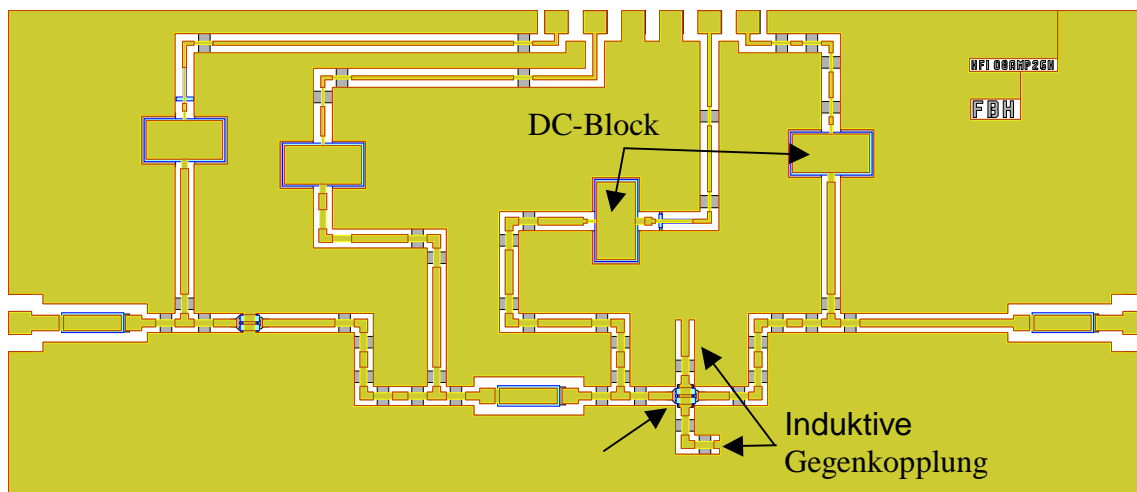


Bild 2.22: Layout des 26 GHz Verstärkers.

Der Aufbau der Verstärkerschaltung war in allen Fällen ähnlich und soll hier am Beispiel der zweiten Stufe eines Verstärkers kurz vorgestellt werden.

Der Transistor ist an der Source symmetrisch über kurze Leitungen mit Masse verbunden. Diese Leitungen wirken als induktive Stromgegenkopplung, die den Transistor im relevanten Frequenzbereich stabilisiert. Mit L-Transformatoren aus koplanaren Leitungen kann die Schaltung dann ein- und ausgangsseitig angepasst werden. Am Ausgang kann immer auf $S_{22} = 0$ (maximale Leistungsanpassung) transformiert werden. Eingangsseitig muss ein Kompromiss zwischen Rausch- und Leistungsanpassung eingestellt werden.

Weil der verwendete 0.5 μ m-Gate MESFET-Prozess bei 26 GHz an den Grenzen seines Frequenzbereichs gelangt und die Transistoren in rauscharmen Arbeitspunkten betrieben werden ($V_{ds} = 3$ V, $I_{ds} = 5$ mA), ergibt sich eine relativ geringe mögliche Verstärkung pro Stufe. Deshalb liefert auch die zweite Verstärkerstufe einen wesentlichen Beitrag zur Gesamt-rauschzahl der Schaltung. Die Stromgegenkopplung kann zwischen den einzelnen Stufen variiert werden. Damit eröffnet sich die Möglichkeit, die Rauschzahl und die Verstärkung der einzelnen Stufen getrennt einzustellen, um möglichst gute Gesamteigenschaften zu erhalten.

An dem Vorverstärker wurden Rauschmessungen durchgeführt. Es ergab sich ein Wert von $F = 4.8$ dB an 50 Ω - Eingang bei 26 GHz. Eingehendere Untersuchungen zeigten, dass mit dem Standard-MESFET-Prozess in diesem Frequenzbereich eine Rauschzahl kleiner als 4 dB nicht zu erreichen sein dürfte, was jedoch für einen 0.5 μ m-MESFET bereits einen sehr guten Wert darstellt. Die Funktionsfähigkeit des Gesamtsystems ist durch die gegenüber den Spezifikationen um 0.5 dB erhöhte Rauschzahl aber nicht gefährdet, zumal es hier um die Demonstration der Aufbautechnik ging. Für ein reales System bietet sich der Einsatz eines GaAs-HEMT-MMICs an, mit dem deutlich bessere Rauschzahlen erreicht werden können, wenn auch bei höheren Kosten. Die Multichip-Aufbautechnik offeriert in dieser Hinsicht zahlreiche Freiheitsgrade gegenüber Lösungen mit einem einzigen oder einigen wenigen Chips, bei denen immer Kompromisse in bezug auf die Eigenschaften der einzelnen Schaltungen eingegangen werden müssen.

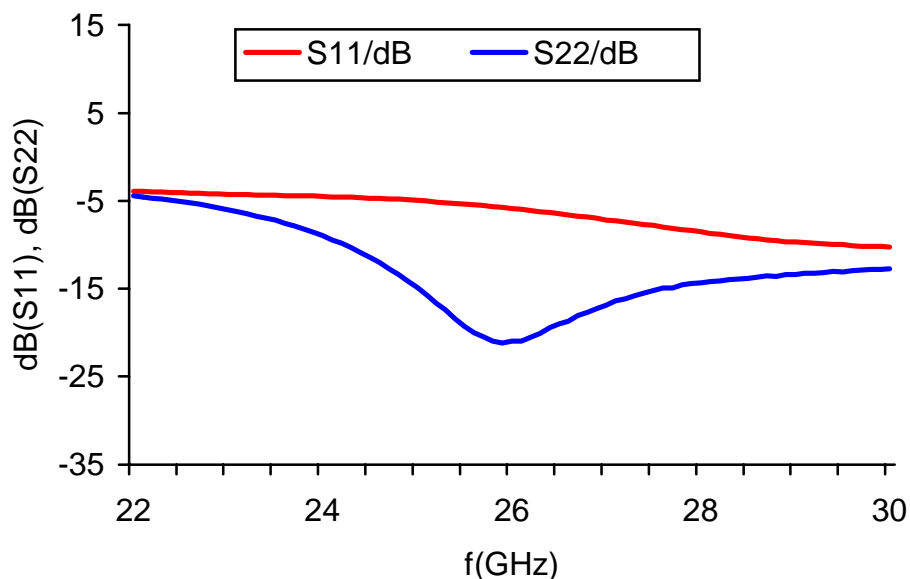


Bild 2.23 Ein- und ausgangsseitige Anpassung des 26 GHz Verstärkers

In Bild 2.23 sind die ein- und ausgangsseitige Anpassung des Vorverstärkers dargestellt. Die Eingangsanpassung erreicht einen Wert von $|S_{11}| \approx -5$ dB. Dabei muss allerdings beachtet werden, dass bei der Eingangstransformation ein Kompromiss zwischen Leistungs- und Rauschanpassung vorgenommen werden musste. Die Rauschanpassung liegt mit $|s_{opt}| \approx -12$ dB wesentlich besser. Am Ausgang wurde mit $|S_{22}| \approx -20$ dB Leistungsanpassung

erreicht. Die Verstärkung von $|S_{21}| \approx 10$ dB entspricht den geforderten Spezifikationen. Die Rückwirkung $|S_{12}| \approx -20$ dB ist ausreichend gering. In den folgenden Bildern sind die gemessenen Parameter des 26 GHz Verstärkers dargestellt:

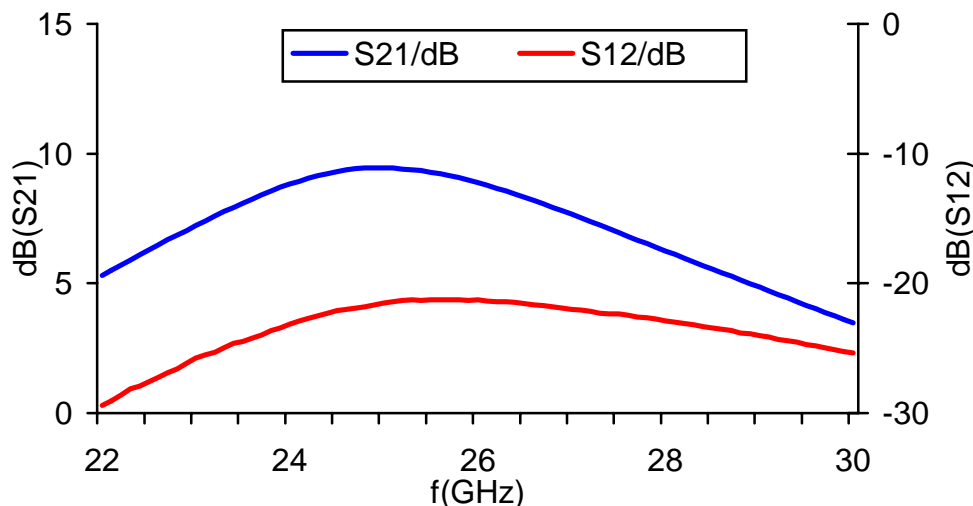


Bild 2.24: Übertragung und Rückwirkung des 26 GHz Verstärkers.

2.2.1.2 Mischerbaugruppe

An die Mischerbaugruppe werden folgende Systemanforderungen gestellt:

- RF-Eingangssignal: $f_{RF} = 26$ GHz, $P_{RF} = -50$ dBm
- Oszillatorsignal: $f_{LO} = 23.55$ GHz, $P_{LO} = 10$ dBm
- Zwischenfrequenz: $f_{IF} = 2.45$ GHz \pm 50 MHz
- Konversionsgewinn: $G = 8$ dB
- Rauschzahl: $F = 7$ dB

Um die geforderten Daten zu erfüllen, wurden im Laufe des Projekts mehrere verschiedene Mischervarianten realisiert. Damit ein problemloser Einbau in das Multichip-Modul gewährleistet werden kann, sind die Chipabmessungen und Anschlusspositionen bei den einzelnen Varianten jeweils beibehalten worden. Die Mischerbaugruppe hat eine Chipgröße von 3.0×3.2 mm². Unverändert blieb auch das Konzept der Mischerbaugruppe, bestehend aus RF-Vorverstärker, LO-Pufferverstärker, eigentlicher FET-Mischstufe und ZF-Filter.

Die RF-Eingangsstufe soll neben der Verstärkung des RF-Signals auch der Unterdrückung des Oszillatorsignals am RF-Eingang der Mischerbaugruppe dienen. Der LO-Pufferverstärker hat vorrangig die Aufgabe, dem angeschalteten Oszillator einen vom Reflexionsfaktor der Mischstufe unabhängige Anpassung zu liefern. In der eigentlichen Mischstufe arbeitet der MESFET als Gate-Mischer. Das ZF-Filter wurde bei allen Mischerversionen übernommen. Es liefert bei einer Einfügedämpfung von kleiner 1 dB eine Unterdrückung des Oszillatorsignals von 43 dB.

Während der Entwicklung der Mischerbaugruppe zeigten sich zunächst erhebliche Unterschiede zwischen den Ergebnissen von Simulation und Messung. Zur Klärung dieses Missverhältnisses wurden umfangreiche Untersuchungen durchgeführt. Es konnte festgestellt werden, dass das Harmonic-Balance-Verfahren bei der Mischersimulation zu mathematischen Instabilitäten neigt. Weiterhin ist bei der nichtlinearen Simulation verstärkt auf die Stabilität des Mischertransistors bei der Zwischenfrequenz zu achten. Von entscheidender Be-

deutung ist, dass das MESFET-Großsignalmodell vor allem für das Gebiet um den Mischere Arbeitspunkt eine gute Übereinstimmung mit den Messdaten erzielt. In den aufgebauten Schaltungen arbeiten die Mischtransistoren als Gate-Mischer, deren größter Mischgewinn bei Arbeitspunkten kurz vor der Abschnürung erreicht wird. Ein für den A-Betrieb in Verstärker- und Oszillatoranwendungen ausgelegtes Großsignalmodell spiegelt unter Umständen gerade diesen Arbeitspunktbereich relativ ungenau wider.

Eine nachträgliche Simulation aller realisierter Mischervarianten unter Benutzung des verbesserten Großsignalmodells ergab eine gute Übereinstimmung mit den gemessenen Daten.

Das letzte Redesign brachte wegen der im Laufe des Projektes gewachsenen Erfahrungen naturgemäß die besten Ergebnisse. Die wesentlichen Änderungen wurden am Eingang der eigentlichen Mischstufe vorgenommen. Die Ausgangssignale des RF-Vorverstärkers und LO-Pufferverstärkers werden zusammengeführt und über die Eingangsbeschaltung der Mischstufe so transformiert, dass die Spannung von Oszillator- und RF-Signal am Gate des Mischertransistors maximal wird. Beim Design wurde besonderes Gewicht auf die Stabilität des Mischtransistors gelegt. Messung und Simulation zeigten maximale Konversionsgewinne, wenn der Arbeitspunkt des Mischer-FET in die Nähe der Abschnürung gelegt wird.

Bild 2.25 zeigt den gemessenen Verlauf des Konversionsgewinnes G_C in Abhängigkeit von der eingespeisten Oszillatorleistung P_{LO} . Bei der im System vorgegebenen Oszillatorleistung von 10 dBm beträgt der Konversionsgewinn 6.9 dB. Die Verstärkung des Oszillatorsignals durch den Pufferverstärkers bewirkt, dass der Konversionsgewinn erst bei einer Verkleinerung der Oszillatorleistung auf Werte unter -3 dBm merklich abfällt.

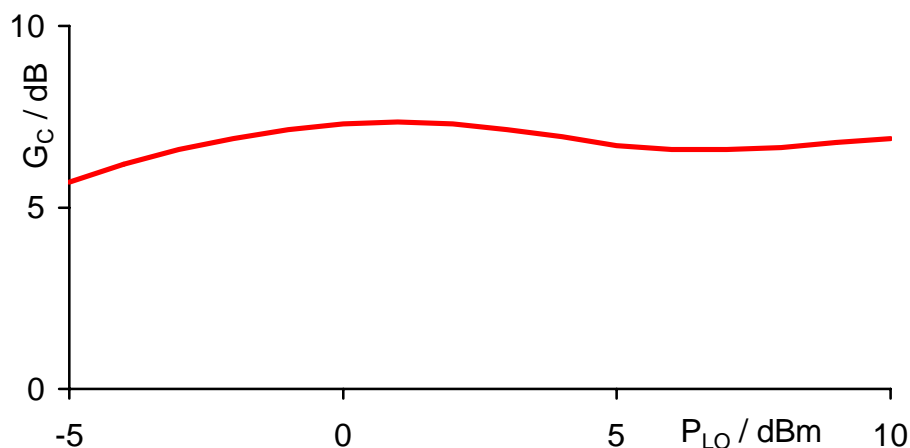


Bild 2.25: gemessener Konversionsgewinn G_C als Funktion der Oszillatorleistung P_{LO}

2.2.1.3 Oszillator und Leistungsteiler

Die Systemanforderungen an den Oszillator lassen sich wie folgt zusammenfassen:

- Frequenz $f = 23.55$ GHz @ 0.5 GHz
- möglichst linearer Frequenzverlauf über der Steuerspannung
- Ausgangsleistung von 10 dBm

Der Oszillatorchip besteht aus zwei Schaltungsteilen. Der erste Teil beinhaltet den eigentlichen Oszillator, der zweite Teil einen Pufferverstärker. In Bild 2.26 ist das Layout des Oszillators zu sehen.

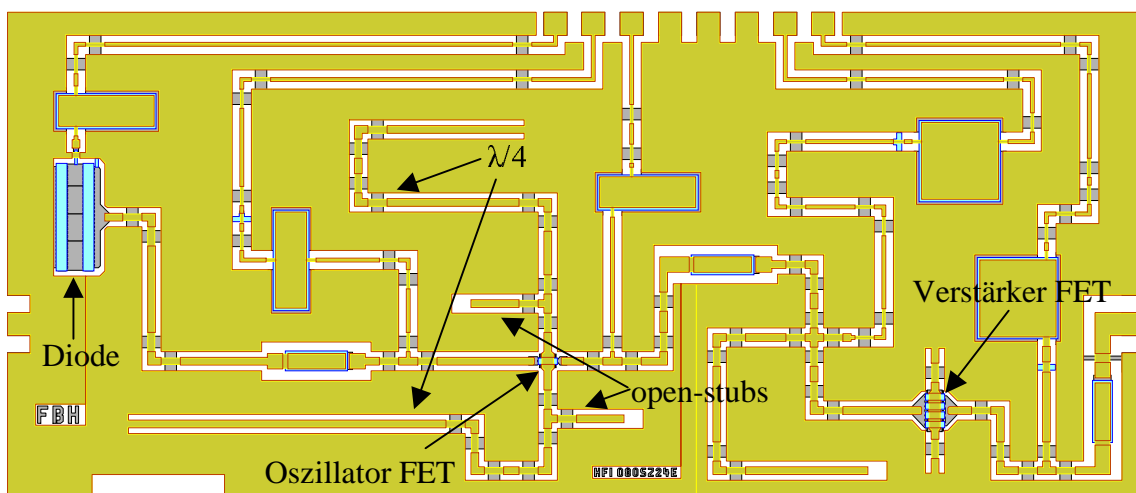


Bild 2.26: Layout des Oszillatorchip.

Der Oszillator-FET ist über zwei $\lambda/4$ -Leitungen an der Source mit Masse verbunden, über die der DC-Strom fließen kann. Bei der Oszillationsfrequenz wirken sie aber als Leerlauf. Mit zwei open-stubs wird für diese Frequenz eine kapazitive Source-Beschaltung hergestellt, die zu einem Eingangsreflexionsfaktor am Transistor mit $|r_{\text{ein}}| > 1$ führt.

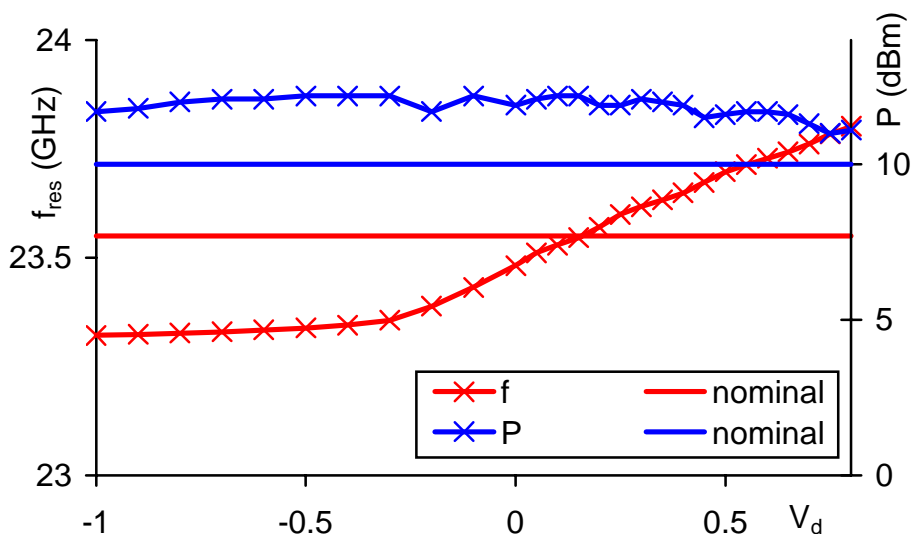


Bild 2.27: Resonanzfrequenz und Ausgangsleistung der Oszillatorschaltung.

Als Resonator dient eine Diode, die als veränderliche Kapazität an den Eingang des Transistors geschaltet ist. Durch die Einstellung des Arbeitspunktes dieser Diode lässt sich die Oszillationsfrequenz der Schaltung verändern. Der Ausgang des FET wird mit einem L-Transformator an 50Ω angepasst. Die folgende Verstärkerstufe soll einerseits das Signal verstärken, um die erforderlichen 10 dBm Verstärkung zu erreichen. Andererseits soll sie aber auch die Oszillatorstufe vom Ausgang entkoppeln. Deshalb wurde beim Design auf eine möglichst geringe Rückwirkung geachtet.

In Bild 2.27 sind die gemessenen Parameter des Oszillators in Abhängigkeit von der Diodenspannung V_d dargestellt. Die Resonanzfrequenz f_{res} lässt im Bereich zwischen 23.32 GHz und 23.80 GHz abstimmen. Der Abstimmbereich liegt damit im Bereich der Zielfrequenz von 23.55 GHz. Für die Funktion der PLL muss aber auch eine möglichst konstante Leistungs-

abgabe der Schaltung gewährleistet sein. Wie in der Bild 2.27 zu sehen ist, wird die geforderte Leistungsabgabe von 10 dBm im gesamten Arbeitsbereich der Schaltung erreicht.

Mit dem Oszillatorsignal muss sowohl der Mischer als auch der Frequenzteiler betrieben werden. Dafür wurde ein Leistungsteiler vorgesehen, der als Wilkinson-Teiler auf einem gesonderten Chip ausgeführt wurde.

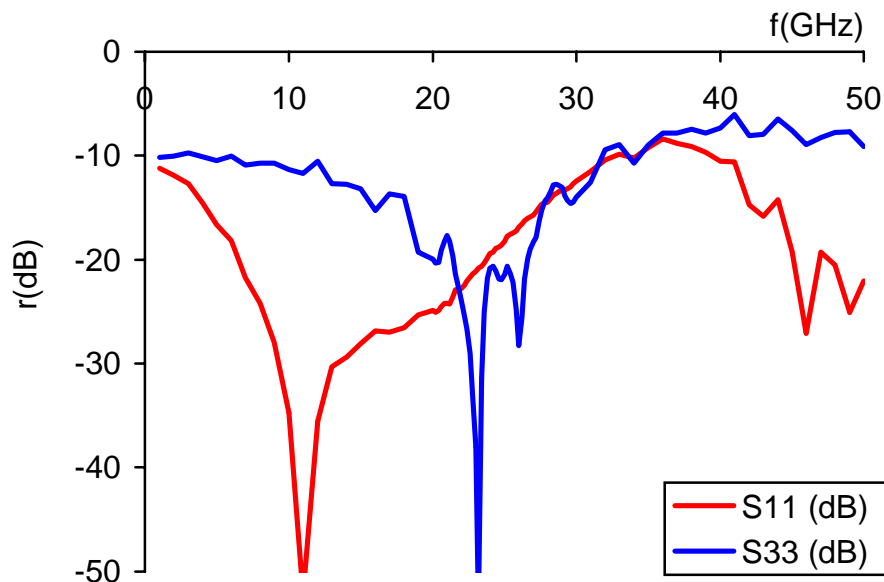


Bild 2.28: Anpassung $|r|$ vom Eingang (S_{33}) und einem der beiden symmetrischen Ausgänge (S_{11}) des Wilkinstonteilers.

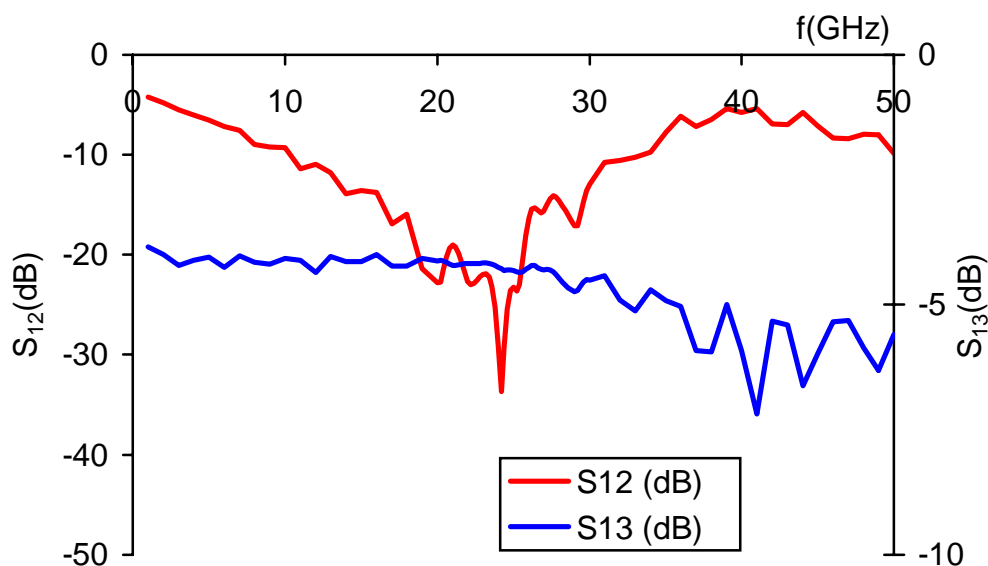


Bild 2.29: Übertragung (S_{13}) und Entkopplung (S_{12}) des Wilkinstonteilers.

In Bild 2.28 ist die Anpassung der 3 Tore des Wilkinsonteilers aufgetragen. Die Tore 1 und 2 sind bausymmetrisch, weshalb nur $|S_{11}|$ dargestellt ist. Die Anpassung ist bei der Arbeitsfrequenz des Oszillators für alle Tore besser als -20 dB und damit zufriedenstellend. Auch die Kopplung $|S_{12}|$ zwischen den beiden Ausgangstoren (dargestellt in der Bild 2.29) ist kleiner als -20 dB. Die Übertragung $|S_{13}|$ liegt bei -4.2 dB. Damit erfüllt der Wilkinsonteiler alle Voraussetzungen, um im Demonstrator eingesetzt zu werden.

2.2.1.4 Lieferung von Chips für Multichip-Modul-Integration

In der folgenden Tabelle 3 sind die an die Projektpartner IZM und ISIT erfolgten Chiplieferungen des FBH zusammengefasst:

Jahr	Anzahl	Beschreibung
1996	75	Verschiedene aktive Chips (aus Bestand des FBH)
1997	320	Passive Chips zur Technologieentwicklung
1998	210	Aktive Chips (10 Ex. des 26 GHz-Verstärkers, einzeln vermessen)
1999	46	30 einzeln vermessene 26 GHz-Verstärker 4 komplette Chipsets a 4 Chips für den Demonstrator

Tabelle 3: Übersicht über die Chiplieferungen des FBH an die Projektpartner IZM und ISIT

2.2.2 Design und Charakterisierung des Multichip-Moduls (MCM)

2.2.2.1 Design und Layout für das Multichip-Modul (MCM)

Die Multichip-Module wurden vom IZM hergestellt. Dazu wurde am FBH ein gemeinsamer Maskensatz für das MCM-Modul erstellt, der folgende Strukturen enthält:

- Passive Leitungsstrukturen zur Charakterisierung der Dünnschicht-Technologie (Prozessmonitoring)
- Passiver GaAs-Chips zur Charakterisierung der Chipverbindungen, wie unter 2.2 beschrieben (Prozessmonitoring)
- Teilmodule aus aktiven und passiven Schaltungen
- 26 GHz-Empfänger-Modul sowie der von Bosch Telecom im Rahmen des Projektes entworfene Demonstrator (30 GHz Aufwärtsumsetzer), ersterer auch in einer Variante mit "Meshed Ground".

Als Beispiel ist in Bild 2. ein Ausschnitt des Layouts für das Empfängermodul (Variante mit Meshed Ground) gezeigt. Man erkennt ein Detail zur Verbesserung der Prozesssicherheit: Die Brücken sind an den Enden „angespitzt“, damit die Fehlertoleranzen beim Einsetzen der Chips keine Kurzschlüsse verursachen können.

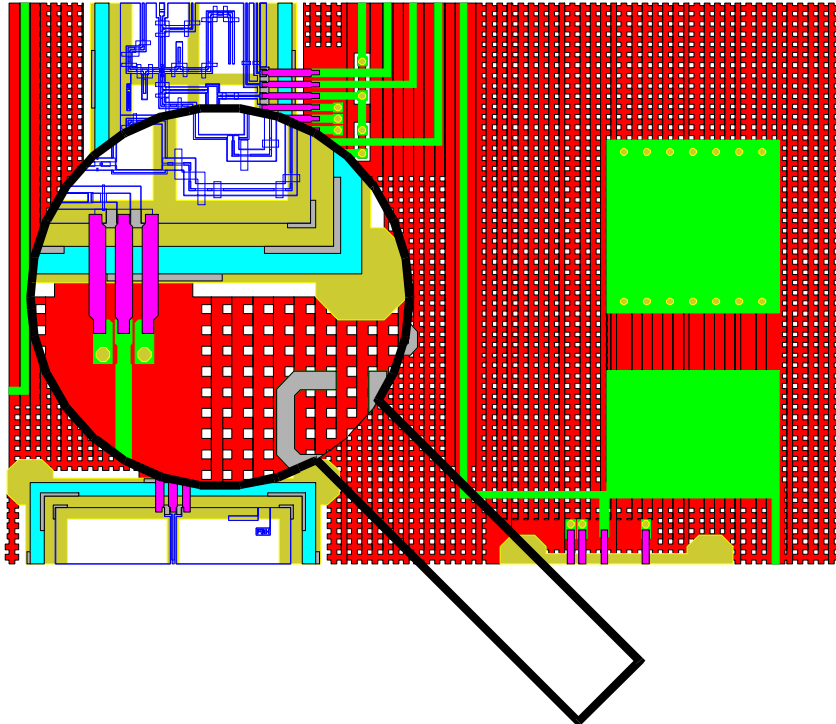


Bild 2.30: Ausschnitt aus MCM-Layout für Demonstrator (Variante mit "Meshed Ground").

2.2.2.2 Messergebnisse an Modulen

Der Demonstrator für das 26 GHz-Empfängermodul umfasst insgesamt vier aktive Chips (Verstärker, Oszillator und Mischer als GaAs-ICs sowie der Teiler in Si-Technik) und einen passiven Chip (Leistungsteiler auf GaAs). Es wurden insgesamt vier komplette MCM-Module dieses Demonstrators vom IZM hergestellt.

Das IZM verwendete zunächst eine Technologie zur Herstellung der Brücken über der Klebefuge, bei der das Metall ohne Schutzmassnahmen auf den Chips abgeschieden und anschließend strukturiert wurde. Dies zeigte bei den passiven Chips gute Ergebnisse (vgl. Abschnitt 2.2), führte bei den aktiven GaAs-Schaltungen aber zu Kurzschlüssen bei den MIM-Kondensatoren als Folge der Ätzprozesse. Daraufhin wurde die Technologie umgestellt und die Chips vor dem Herstellen der Luftbrücken mit Lack geschützt. Dieses Verfahren erwies sich als geeigneter, jedoch blieb der anschließende Lift-off-Prozessschritt kritisch für die oberste Metallisierung der GaAs-Chips. Hier kam es immer wieder zu Ablösungen, was zu einer geringen Ausbeute beim Einbettungsprozess führte.

Die Funktionsfähigkeit der Einbettungstechnologie konnte aber anhand von Teilmodulen mit weniger Chips gezeigt werden. Dieses Teilmodul besteht aus einem 26 GHz-GaAs Verstärker und der durchgehenden Leitung des passiven Chip. Das Layout ist in Bild 2.31 dargestellt.

Für die Funktionsfähigkeit des Teilmoduls sind vier Chipverbindungen und vier DC-Zuführungen erforderlich. Um die Auswirkungen der Brücken über der Klebefuge auf die Schaltungseigenschaften zu untersuchen, kann dieses Modul als Kettenschaltung simuliert werden, bestehend aus:

- Dünnschicht-Mikrostreifenleitung auf Trägersubstrat mit der Länge 1920 μm
- 26 GHz Verstärker (GaAs-MMIC)
- Dünnschicht-Mikrostreifenleitung mit der Länge 2340 μm
- koplanare Leitung des passiven GaAs-Chips (siehe 2.2)
- Dünnschicht-Mikrostreifenleitung mit der Länge 2020 μm

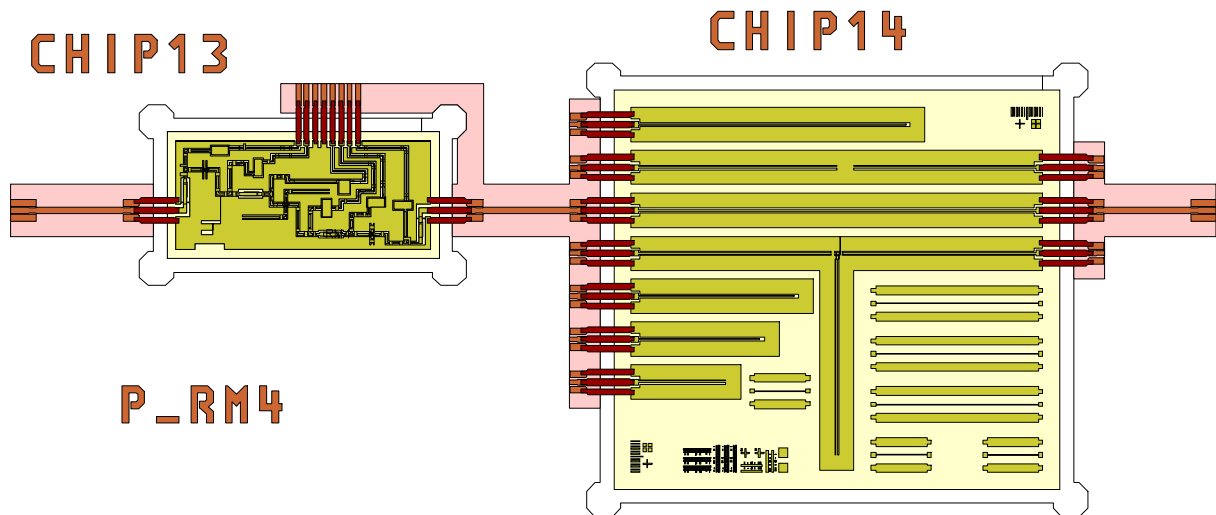


Bild 2.31: Layout des Teilmoduls, bestehend aus einem 26 GHz-GaAs-Verstärker und dem passiven GaAs-Chip.

Die Parameter der Dünnschicht-Mikrostreifenleitung wurden mit Hilfe der auf der gleichen Scheibe vorhandenen Leitungsstrukturen bestimmt. Die S-Parameter des Verstärkers und der koplanaren Leitung auf dem passiven Chip wurden vor der Auslieferung der Chips am FBH gemessen. Die Kettenschaltung dieser Elemente, bei der die Übergänge als ideal angenommen wurden, ergaben den als "erwartet" gekennzeichneten Kurvenverlauf. Die folgenden Bilder zeigen einen Vergleich zwischen diesen Ergebnissen und den gemessenen S-Parametern des fertiggestellten Teilmoduls.

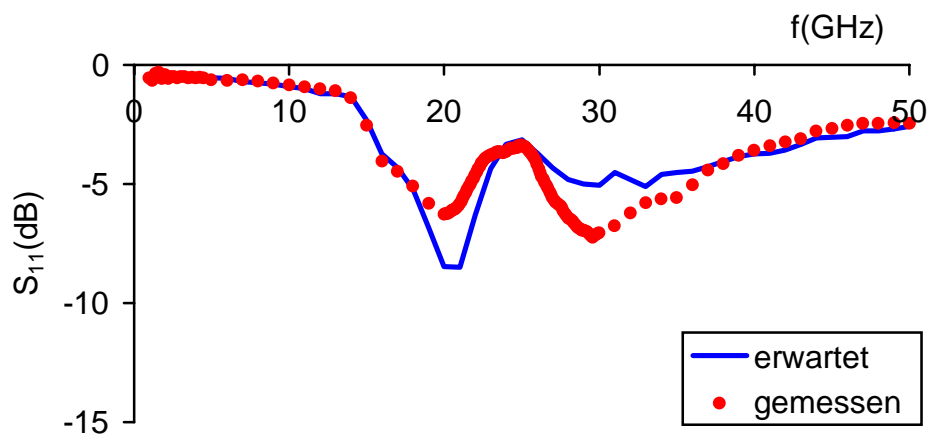
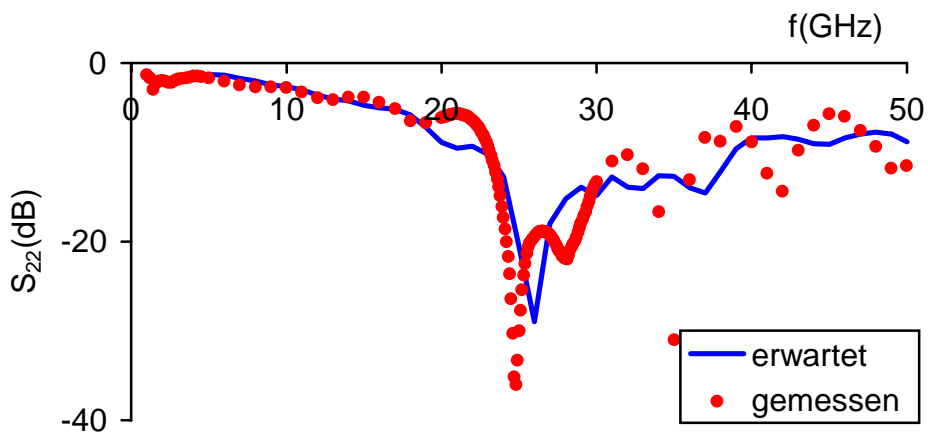
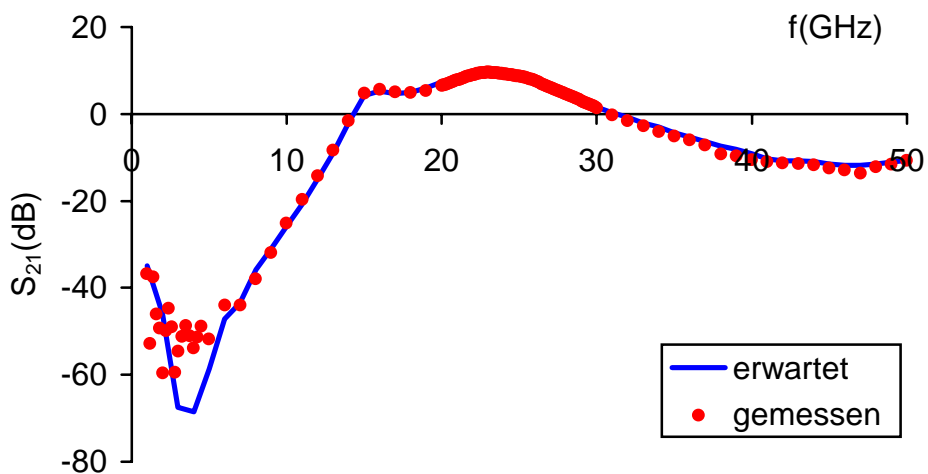
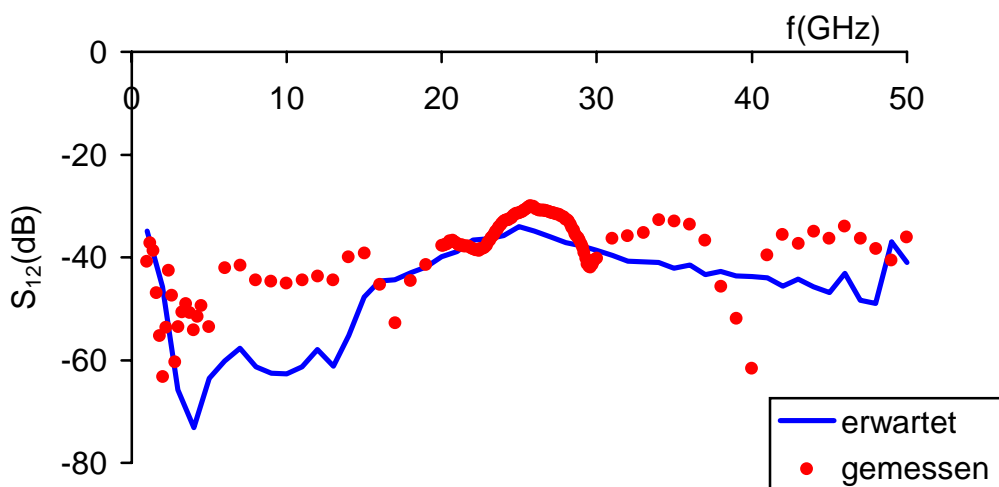


Bild 2.32: Eingangsreflexionsfaktor $|S_{11}|$ des Teilmoduls.

Bild 2.33: Ausgangsreflexionsfaktor $|S_{22}|$ des Teilmoduls.Bild 2.34: Transmission (Verstärkung) $|S_{21}|$ des Teilmoduls.Bild 2.35: Transmission (Rückwirkung) $|S_{12}|$ des Teilmoduls.

Die Diagramme zeigen, dass die Einbettung der Chips und die Verbindungen mit den Dünnschicht-Mikrostreifenleitungen die Schaltungseigenschaften nur unwesentlich beeinträchtigen. Die Resonanz im Ausgangsreflexionsfaktor S_{22} ist mit der Gesamtlänge des MCM-Aufbaus verknüpft und lässt sich darauf zurückführen, dass die vorgesehene Dicke des Dielektrikums nicht genau genug eingehalten wurde. Dadurch verstimmt sich der Leitungswellenwiderstand der Dünnschicht-Mikrostreifenleitung.

Diese Ergebnisse belegen, dass sowohl die Dünnschicht-Trägersubstrat-Version als auch die entwickelte Einbettungstechnologie die gewünschten Hochfrequenzeigenschaften im Frequenzbereich bis ca. 30 GHz aufweisen. Der kritische Punkt ist die Ausbeute des MCM-Prozesses. Mit einer höheren Ausbeute beim Einbettungsprozess hätte der Demonstrator sicherlich mit den gewünschten Spezifikationen aufgebaut werden können.

3. Abschließende Bewertung

Anhand der Projektarbeiten wird folgende abschließende Bewertung in bezug auf die vorgestellte Aufbautechnik vorgenommen:

Mehrlagen-Substrate mit Polyimid oder BCB als Träger in Multichip-Modulen zeigen vorteilhafte Eigenschaften, insbesondere bei Verwendung der Dünnschicht-Mikrostreifenleitung. Als Material kommt dabei sowohl Keramik als auch niederohmiges Silizium in Betracht. Die entsprechenden Prozesstoleranzen müssen beachtet und beim Design berücksichtigt werden.

Die vorgestellte Einbettungs- und Kontaktierungstechnologie ist technologisch prinzipiell machbar und zeigt auch gute HF-Eigenschaften im untersuchten Frequenzbereich bis 30 GHz. Der Prozess erscheint aber zu kompliziert, um mit vertretbarer Ausbeute kostengünstig Module herstellen zu können. Alternative Aufbautechnologien wie das Flip-Chip-Konzept versprechen in dieser Beziehung günstigere Eigenschaften.

Es ist damit zu erwarten, dass die beschriebene Einbettungstechnologie in ihrer konventionellen Form für niedrigere Frequenzen (unter 20 GHz) eine Rolle spielen wird, währenddessen im höheren Bereich die Flip-Chip-Technik dominieren dürfte. Eine Kombination mit Trägersubstraten in BCB- oder Polyimid-Mehrlagen-Technik stellt dabei eine interessante und empfehlenswerte Variante dar.

4. Veröffentlichungen

Die im Rahmen des Projektes erzielten Ergebnisse wurden in einer Reihe von Konferenzbeiträgen veröffentlicht. Die folgende Liste spezifiziert die einzelnen Beiträge:

- J. Wolf, F.J. Schmückle, W. Heinrich, M. Töpfer, K. Buschik, A. Owzar, O. Ehrmann, H. Reichl, "System integration for high frequency applications," ISHM 1997, Philadelphia, Oct. 12-16, Digest pp. 29-36, 1997.
- W. Heinrich, "Design and electromagnetic modeling of multichip interconnection structures," Workshop WFB on "High frequency silicon micromachining and multichip integration" at the 1998 Intern. Microwave Symposium, Baltimore, Proceedings pp. 122-130.
- F.J. Schmückle, W. Heinrich, J. Wolf, and M. Toepper, "Chip interconnects in BCB thin-film multi-chip modules," Proc. Intern. IEEE MTT/AP Workshop on MMIC Design, Packaging and System Applications, Freiburg/Germany, Oct. 1998, pp. 39-40.
- J. Wolf, F.J. Schmückle, W. Heinrich, M. Töpfer, K. Buschick, O. Ehrmann, H. Reichl, "System integration for high frequency wireless applications," Proc. 3rd Annual Wireless Communications Conference '98 (San Diego, Nov. 1-2, 1998), pp. 37-46.
- J. Wolf, F.J. Schmückle, W. Heinrich, M. Töpfer, K. Buschick, A. Owzar, O. Ehrmann, H. Reichl, "System integration for high frequency applications," Internat. Journal of Microcircuits & Electronic Packaging, Vol. 21, No. 1, 1998, pp. 119-126.